

(19)



JAPANESE PATENT OFFICE

JPA 8-072330

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08072330 A**

(43) Date of publication of application: **19.03.96**

(51) Int. Cl.

B41J 5/30

B41J 2/21

B41J 2/05

B41J 3/44

G06F 3/12

H04N 1/21

(21) Application number: **07146248**

(22) Date of filing: **13.06.95**

(30) Priority: **01.07.94 JP 06150875**

(71) Applicant: **CANON INC**

(72) Inventor: **NAKADA KAZUHIRO**

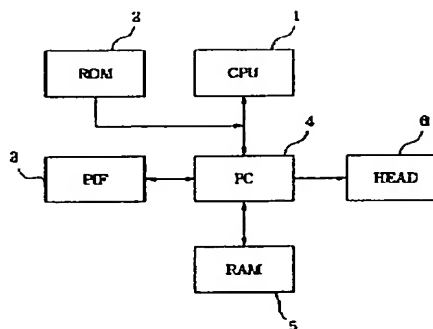
(54) **PRINTER AND PRINTING METHOD**

COPYRIGHT: (C)1996,JPO

(57) Abstract:

PURPOSE: To read printing data from the arbitrary position of a print buffer by providing a printing data memory wherein addresses are continued with respect to the arrangement of printing data corresponding to the arrangement of recording elements.

CONSTITUTION: A CPU 1 investigates whether data is stored in a receiving buffer on the basis of the controller program executed by a CPU 1 and, when the data is stored, received data is analyzed. When the received data is a character code, the bit image data of the received character code is read from the font data part in an ROM 2 to be developed on the editing buffer area set to an RAM 5. When the controller program forms an editing buffer constituted of the bit image data corresponding to one line, the bit image data is delivered to an engine program. The engine program transmits the data of the editing buffer to the print buffer set to the RAM 5 and printing is performed on the basis of the data of the print buffer.



This Page Blank (uspto)

Japanese Patent Laid Open No. 8-072330

Title: PRINTER AND PRINTING METHOD

Partial Translation

[0031] Fig. 3 shows a relation ship between an edit buffer and its
5 printing area. In Fig. 3, E1, E2, E3 are edit buffers, and 9 is a printing
area printable for one scan of a printhead 6. The height of the edit
buffer is normally 64 dots, while the printhead has a width of 128 dots,
thereby the printhead can print the area corresponding two or more edit
buffers by one scan. However, in a conventional printer, since a pitch
10 for each line is not set to 64 dots, 128 dots of printing data cannot be
provided by simply stacking two edit buffers of 64 dots. For example, in
Fig. 3, the pitch for each line is 60 dots, and there is overlapping portion
of 4 dots in both of adjacent edit buffers.

[0032] Therefore, the data in the second edit buffer should be shifted by
15 4 dots when printing. Further, printing data obtained by logical product
of two edit buffers should be printed at the overlapping portion of the edit
buffers. Since the pitch for each line can be set at any value in
conventional host computer, the size of the overlapping portion should be
set at any value.

20 [0033] For this reason, the printer in this embodiment includes a bit
shift circuit 16 for shifting data in the edit buffer and writing the data to a
print buffer in a printer control IC 4.

[0034] Fig. 4 shows a circuit arrangement of the bit shift circuit 16. In
Fig. 4, ID0-15 is input data from a data bus of CPU1, OMD0-15 is input
25 data from a data bus of RAM5, OMD0-15 are output data to the data bus
of RAM5. 21 is a register for setting a shift quantity, 22 is a latch for
temporary storing data written by the CPU1 via the data bus, 23 is a

This Page Blank (uspto)

shifter for shifting the written data, 24 is a pattern generator for generating a mask pattern used for masking the shifted data, 25, 26 are AND circuits for masking the shifted data, 27 is a register for storing overflowed data by the shift, 28 is a latch for temporary storing
5 overflowed data from RAM5, 29 is a OR circuit for operating logical sum of the shifted data and the overflowed data from RAM5.

[0035] Figs. 5 and 6 show conversions of data performed by the bit shift circuit when transferring data from the edit buffer to the print buffer, where Fig. 5 shows data converted at the first data transfer, and Fig. 6
10 shows data converted at the subsequent second data transfer.

[0036] In Fig. 5, 31 is data P of 16 bits written by the CPU1 and stored in the latch 23, 32 is data shifted by the shifter 23, 33 is data masked by the AND circuit 25, 34 is data masked by the AND circuit 26, 35 is data stored in the register 27, 37 is data composed by the OR circuit 29.
15 Note that 36 is data X of 16 bits written by the RAM5 and stored in the latch 28.

[0037] In Fig. 6, as similar to Fig. 5, 41 is data P of 16 bits written by the CPU1 and stored in the latch 23, 42 is data shifted by the shifter 23, 43 is data masked by the AND circuit 25, 44 is data masked by the AND
20 circuit 26, 45 is data stored in the register 27, 47 is data composed by the OR circuit 29. Note that 46 is data X of 16 bits written by the RAM5 and stored in the latch 28.

[0038] Next, the operation of the bit shift circuit will be explained by referring to Figs. 4 and 5. The CPU1 sets the shift quantity to the shift
25 quantity register 21 according to the pitch of each line, then transfers data from the edit buffer to the print buffer. Since the size of the data bus of the CPU1 is 16 bits, the data transfer from the edit buffer to the

This Page Blank (uspto)

print buffer is performed by unit of 16 bits. When the CPU1 writes data into the area of the print buffer in the RAM5, the written data 31 is inputted to the shifter 23 by way of the latch 22. The latch 23 stores the data 31 after the writing of data is completed. The shifter 23 is made by

5 a combination of selectors, and outputs data with any shift quantity set by a value of the shift quantity register 21. Accordingly, the shifter 23 does not need time for shifting data such as a shift circuit using a shift register.

[0039] In Fig. 5, since 4 is set as the shift quantity, inputted data P15-P0 is shifted to below by 4 bits, and overflowed data P3-P0 is returned to

10 form data 32. The AND circuit 25 masks data other than bits outputted from the shifter to clear the data and outputs data 33. The AND circuit 26 masks data other than bits outputted from the shifter to clear the data and outputs data 34. In the register 27, initially all zero data 35 is set. The data 33 outputted from the AND circuit 25 and the data 35 outputted

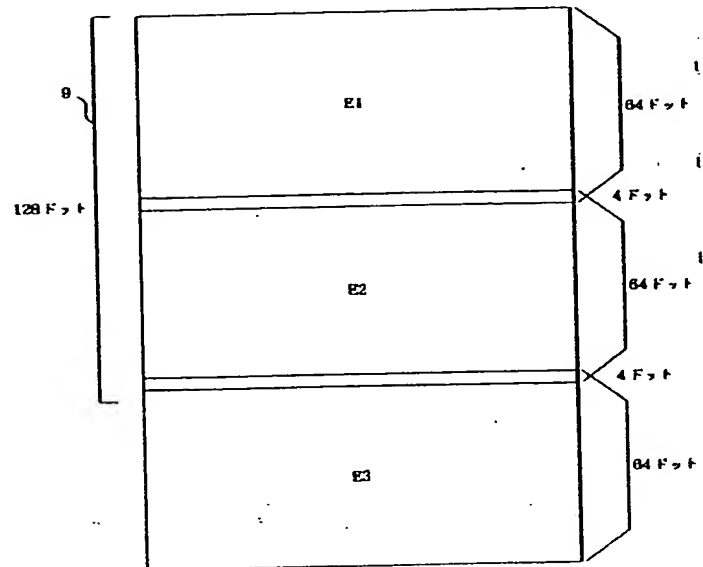
15 from the register 27 are inputted to the OR circuit 29.

Fig. 4

21	register
22	latch
20 23	shifter
24	pattern generator
25, 26	AND circuit
27	register
28	latch
25 29	OR circuit

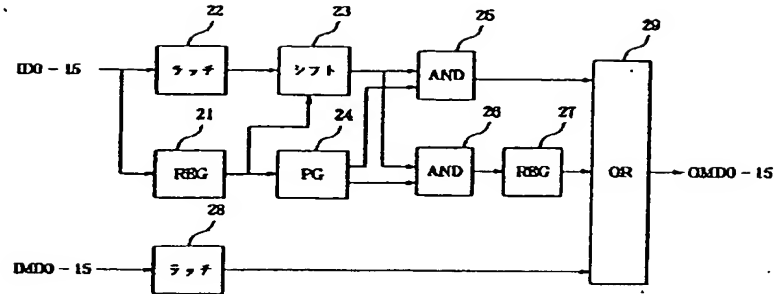
This Page Blank (uspto)

【図3】 FIG. 3

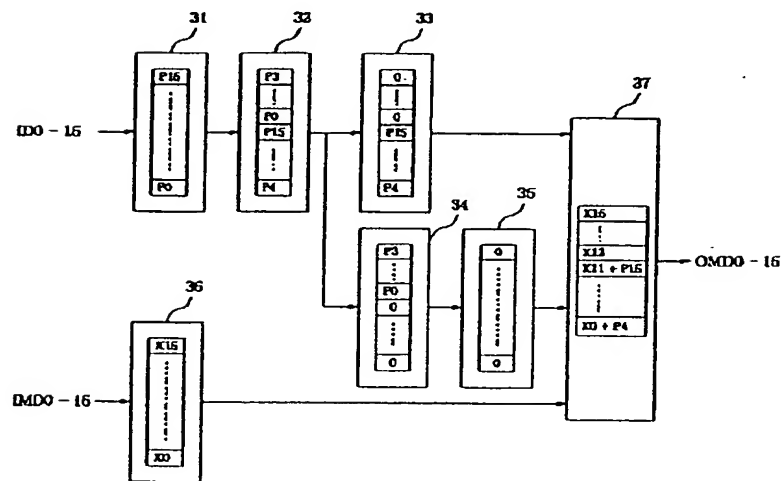


This Page Blank (as per)
Business A Bank (as per)

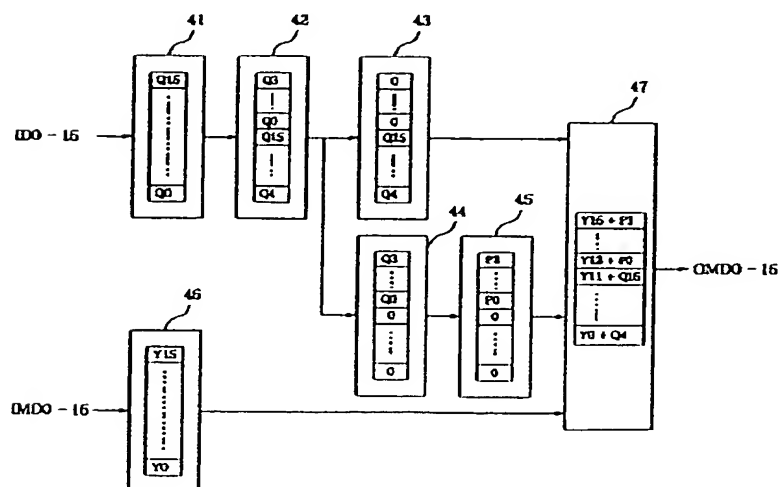
【図4】 FIG. 4



【図5】 FIG. 5



【図6】 FIG. 6



This Page Blank (upto)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-72330

(43) 公開日 平成8年(1996)3月19日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
B41J 5/30		Z		
2/21				
2/05				
3/44				
G06F 3/12		B		

審査請求 未請求 請求項の数32 O L (全24頁) 最終頁に続く

(21) 出願番号 特願平7-146248

(22) 出願日 平成7年(1995)6月13日

(31) 優先権主張番号 特願平6-150875

(32) 優先日 平6(1994)7月1日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 中田 和宏

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

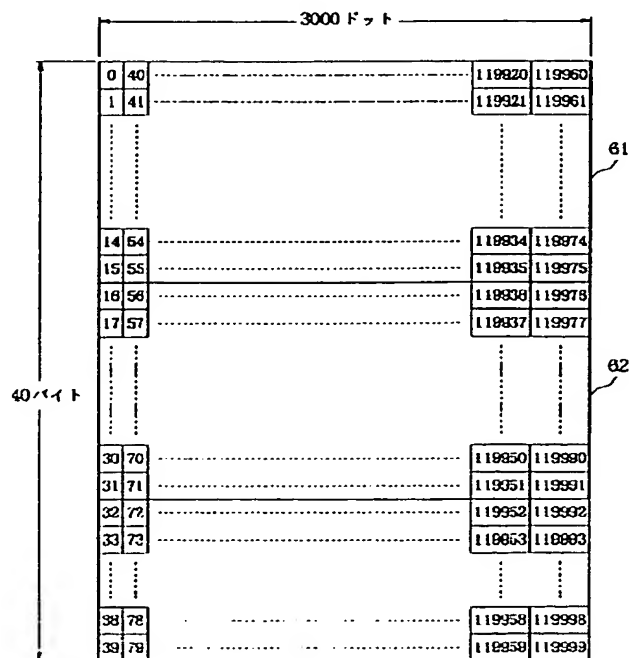
(74) 代理人 弁理士 丸島 儀一

(54) 【発明の名称】 プリンタ及びプリント方法

(57) 【要約】

【目的】 印字ヘッドの記録素子の構成に依存することなく適用できるプリントバッファを有するプリンタを提供すること。

【構成】 印字データを格納するメモリのアドレスを、印字ヘッドに配列される複数の記録素子の配列方向に対応する印字データの配列に対して、連続するように構成することにより、任意のアドレスから印字データを読み出すことが可能となるため、メモリの管理が容易となる。



【特許請求の範囲】

【請求項 1】 複数の記録素子が配列された印字ヘッドを用いて印字を行うプリンタにおいて、前記印字ヘッドを前記記録素子の配列方向とは異なる走査方向に走査する走査手段と、印字データを格納するメモリと、前記メモリに印字データを書込む書込み手段と、前記メモリに書込まれた印字データを前記印字ヘッドに供給するため、前記走査手段による前記印字ヘッドの走査に同期して読出す読出し手段とを有し、前記メモリは、前記記録素子の配列方向に対応する印字データの配列に対して、アドレスが連続していることを特徴とするプリンタ。

【請求項 2】 前記メモリは前記走査方向に対応する印字データの配列に対して、アドレスが所定量オフセットしていることを特徴とする請求項 1 記載のプリンタ。

【請求項 3】 前記読出し手段は、先頭アドレスを設定する手段と、アドレスオフセットを設定する手段と、前記先頭アドレスをインクリメントして転送アドレスを生成する手段と、転送回数を決定する手段と、前記転送回数だけ転送アドレスを生成したとき、前記先頭アドレスに前記アドレスオフセットを前記走査方向に応じて加算あるいは減算する手段と、前記転送アドレスに基づいて前記メモリから印字データを読出す手段とを有することを特徴とする請求項 1 記載のプリンタ。

【請求項 4】 前記読出し手段は、前記転送アドレスの生成時に、前記アドレスオフセットを加算するか否かを設定する手段をさらに有し、前記転送アドレス生成手段は、先頭アドレスをインクリメントするとともに前記アドレスオフセットを加算して転送アドレスを生成することを特徴とする請求項 3 記載のプリンタ。

【請求項 5】 前記メモリは、前記記録素子の配列方向には、少なくとも前記記録素子の数に対応した領域を有することを特徴とする請求項 1 記載のプリンタ。

【請求項 6】 前記メモリは、前記記録素子の配列方向には、少なくとも前記記録素子の数の 2 倍に対応した領域を有することを特徴とする請求項 1 記載のプリンタ。

【請求項 7】 前記印字ヘッドによって記録される記録媒体を搬送する搬送手段をさらに有することを特徴とする請求項 1 記載のプリンタ。

【請求項 8】 前記プリンタは、複写機に適用されることを特徴とする請求項 1 記載のプリンタ。

【請求項 9】 前記プリンタは、FAX に適用されることを特徴とする請求項 1 記載のプリンタ。

【請求項 10】 前記プリンタは、コンピュータの端末に適用されることを特徴とする請求項 1 記載のプリンタ。

【請求項 11】 印字データのシフト量を設定する設定手段と、

入力された印字データを前記設定手段によって設定された量だけシフトするシフト手段と、

このシフト手段によってシフトすることによってオーバーフローした印字データを保存する保存手段と、

この保存手段に保存された印字データと、次に入力される印字データを前記シフト手段によってシフトされた印字データを合成する合成手段と、

前記メモリから読み込んだデータを前記合成手段によって合成した合成データで修飾する修飾手段と、

10 この修飾手段によって修飾したデータを前記メモリに書き込む書込み手段とを備えたことを特徴とする請求項 1 記載のプリンタ。

【請求項 12】 前記印字ヘッドを時分割駆動する駆動手段をさらに備えたことを特徴とする請求項 1 記載のプリンタ。

【請求項 13】 前記印字ヘッドを時分割駆動する駆動手段をさらに備えたことを特徴とする請求項 4 記載のプリンタ。

【請求項 14】 前記駆動手段は前記印字ヘッドを複数の方法で時分割駆動し、

前記各転送アドレスの生成時に前記アドレスオフセットを加算するか否かを設定する複数のモード設定手段と、前記印字ヘッドの時分割駆動方法とアドレスオフセットの加算モードを対応させる対応手段をさらに備えたことを特徴とする請求項 13 記載のプリンタ。

【請求項 15】 前記印字ヘッドは、インクを吐出することを特徴とする請求項 1 記載のプリンタ。

【請求項 16】 複数の記録素子が配列された印字ヘッドを用いて印字を行うプリンタにおいて、

30 前記印字ヘッドを前記記録素子の配列方向とは異なる走査方向に走査する走査手段と、

印字データを複数の領域に格納するメモリと、

前記メモリの複数の領域に印字データを書込む書込み手段と、

前記メモリの複数の領域に書込まれた印字データを前記印字ヘッドに供給するため、前記走査手段による前記印字ヘッドの走査に同期して読出す読出し手段とを有し、

前記メモリの複数の領域の夫々は、前記記録素子の配列方向に対応する印字データの配列に対して、アドレスが連続していることを特徴とするプリンタ。

【請求項 17】 前記メモリの複数の領域は前記走査方向に対応する印字データの配列に対して、アドレスが所定量オフセットしていることを特徴とする請求項 16 記載のプリンタ。

【請求項 18】 前記読出し手段は、複数の先頭アドレスを設定する手段と、複数のアドレスオフセットを設定する手段と、前記先頭アドレスを選択する手段と、選択された前記先頭アドレスに対応する前記アドレスオフセットを選択する手段と、先頭アドレスとアドレスオフセットを選択する順序を決定する手段と、選択された前記

先頭アドレスをインクリメントして転送アドレスを生成する手段と、転送回数を決定する手段と、前記転送回数だけ転送アドレスを生成したとき、前記先頭アドレスに前記アドレスオフセットを前記走査方向に応じて加算あるいは減算する手段と、前記転送アドレスに基づいて前記メモリから印字データを読み出す手段とを有することを特徴とする請求項 1 6 記載のプリンタ。

【請求項 1 9】 前記読出し手段は、前記転送アドレスの生成時に、前記アドレスオフセットを加算するか否かを設定する手段を有し、前記転送アドレス生成手段は、選択された先頭アドレスをインクリメントするとともに選択された前記アドレスオフセットを加算して転送アドレスを生成することを特徴とする請求項 1 8 記載のプリンタ。

【請求項 2 0】 前記印字ヘッドの複数の記録素子は、異なる色を記録する複数のグループに区分されることを特徴とする請求項 1 6 記載のプリンタ。

【請求項 2 1】 前記メモリの複数の領域は、前記印字ヘッドの複数のグループに対応することを特徴とする請求項 2 0 記載のプリンタ。

【請求項 2 2】 前記メモリの複数の領域の夫々は、前記記録素子の配列方向には、少なくとも対応する前記グループの前記記録素子の数に対応した領域を有することを特徴とする請求項 2 1 記載のプリンタ。

【請求項 2 3】 前記メモリの複数の領域の夫々は、前記記録素子の配列方向には、少なくとも対応する前記グループの前記記録素子の数の 2 倍に対応した領域を有することを特徴とする請求項 2 1 記載のプリンタ。

【請求項 2 4】 印字データのシフト量を設定する設定手段と、入力された印字データを前記設定手段によって設定された量だけシフトするシフト手段と、このシフト手段によってシフトすることによってオーバーフローした印字データを保存する保存手段と、この保存手段に保存された印字データと、次に入力される印字データを前記シフト手段によってシフトされた印字データを合成する合成手段と、前記メモリから読み込んだデータを前記合成手段によって合成した合成データで修飾する修飾手段と、この修飾手段によって修飾したデータを前記メモリに書き込む書込み手段とを備えたことを特徴とする請求項 1 6 記載のプリンタ。

【請求項 2 5】 前記印字ヘッドを時分割駆動する駆動手段をさらに備えたことを特徴とする請求項 1 6 記載のプリンタ。

【請求項 2 6】 複数の種類の印字ヘッドを装着する手段と、装着された印字ヘッドの種類を判別する手段とをさらに備え、装着された印字ヘッドの種類に応じて自動的に印字ヘッドに転送する印字データの内容を変化させることを特徴とする請求項 1 6 記載のプリンタ。

【請求項 2 7】 前記複数の印字ヘッドの各々は、インクを吐出することを特徴とする請求項 1 6 記載のプリンタ。

【請求項 2 8】 複数の記録素子が配列された印字ヘッドを用いて印字を行うプリント方法において、前記印字ヘッドを前記記録素子の配列方向とは異なる走査方向に走査する走査工程と、印字データを格納するメモリの空き領域に印字データを書込む書込み工程と、

10 前記メモリに書込まれた印字データを前記印字ヘッドに供給するため、前記走査工程による前記印字ヘッドの走査に同期して読出す読出し工程とを有し、前記メモリは、前記記録素子の配列方向に対応する印字データの配列に対して、アドレスが連続していることを特徴とするプリント方法。

【請求項 2 9】 前記メモリは前記走査方向に対応する印字データの配列に対して、アドレスが所定量オフセットしていることを特徴とする請求項 2 8 記載のプリント方法。

20 【請求項 3 0】 前記メモリは、前記記録素子の配列方向には、少なくとも前記記録素子の数に対応した領域を有することを特徴とする請求項 2 8 記載のプリント方法。

【請求項 3 1】 前記メモリは、前記記録素子の配列方向には、少なくとも前記記録素子の数の 2 倍に対応した領域を有することを特徴とする請求項 2 8 記載のプリント方法。

【請求項 3 2】 前記読出し工程によって読出された印字データが格納された前記メモリの領域を解放して、前記メモリの空き領域の後に結合する工程をさらに有することを特徴とする請求項 3 1 記載のプリント方法。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 本発明はシリアルプリンタに係り、特に、スクロールプリントバッファを有するプリンタ及びプリント方法に関する。より詳細には、複数のインクジェットノズルを備えた印字ヘッドを使用するものであって、1 回の印字ヘッドの走査で 2 行以上の印字が可能なシリアルプリンタ、あるいは印字色に関してノズル構成の異なる印字ヘッドの装着が可能なシリアルプリンタ及びプリント方法に関する。

【 0 0 0 2 】

【従来の技術】 シリアルプリンタは、小型かつ低価格な構成が可能なプリンタとして広く普及している。特に、インクジェットプリンタはシリアルプリンタの中でも静音かつ高速な印字が可能なプリンタとして近年は目覚ましい発展を遂げ、諸性能の向上が図られている。例えば印字速度に関しては、ヘッドを搭載したキャリッジの走査速度の高速化等によって速度向上が達成されてきた、

50 【 0 0 0 3 】 また、低価格なパーソナルコンピュータに

においてもカラーグラフィック環境が充実したきたため、プリンタについても低価格で高品位なカラープリンタが望まれてきている。この分野においても、インクジェットプリンタは好適なプリンタとして注目を浴びている。

【 0 0 0 4 】

【発明が解決しようとする課題】従来のカラープリンタは印字ヘッドを3色または4色分備える必要があるため、モノクロームプリンタに比べて高価になる。さらに、カラープリンタはカラー印字を想定して印字品位や処理速度を最適化しているため、カラープリンタでのモノクローム印字はモノクロームプリンタに比べて印字品位や印字速度が劣るという欠点があった。

【 0 0 0 5 】そこで、モノクローム印字用のヘッドとカラー印字用のヘッドを交換して、目的とする画像を効率よく得ることができるプリンタが提案されている。モノクローム印字用のヘッドを用いれば、カラー印字は得ることができないが、高い画像濃度を得ることができ、印字速度も向上する。

【 0 0 0 6 】しかしながら、モノクローム印字用ヘッドとカラー印字用ヘッドでは、記録素子（ノズル）の配列構成が異なるため、両ヘッドに対応したプリントバッファの構成が望まれる。

【 0 0 0 7 】一方、シリアルプリンタにおいては、つなぎすじ（banding）を目立たなくするため、1行（バンド）を複数のスキャンで形成すること（以下、ファインモードという）が行なわれている。このときの紙送り量（副走査量）は、ヘッドの幅の $1/2$ 、 $1/3$ 、 $1/4$ 等が採用される。このファインモードを行なうのに適したプリントバッファの構成が望まれる。

【 0 0 0 8 】また、シリアルプリンタにおいてはキャリッジの走査による印字期間の前後には、キャリッジの加減速のためのロス時間がどうしても発生する。そのため、キャリッジの走査速度アップによる印字速度向上は限界に達してきている。

【 0 0 0 9 】本発明の目的は、プリントヘッドの記録素子の構成に依存することなく適用できるプリントバッファを有するプリンタ及びプリント方法を提供することにある。

【 0 0 1 0 】本発明の他の目的は、プリントバッファの任意の位置からプリントデータを読み出すことが可能なプリンタ及びプリント方法を提供することにある。

【 0 0 1 1 】本発明のさらに他の目的は、印字速度の向上を図ることが可能なプリンタ及びプリント方法を提供することにある。

【 0 0 1 2 】また、本発明の他の目的は、モノクローム印字とカラー印字を両立させることが可能なプリンタ及びプリント方法を提供することにある。

【 0 0 1 3 】

【課題を解決するための手段及び作用】本発明は、上記目的を達成するため、複数の記録素子が配列された印字

ヘッドを用いて印字を行うプリンタにおいて、前記印字ヘッドを前記記録素子の配列方向とは異なる走査方向に走査する走査手段と、印字データを格納するメモリと、前記メモリに印字データを書込む書込み手段と、前記メモリに書込まれた印字データを前記印字ヘッドに供給するため、前記走査手段による前記印字ヘッドの走査に同期して読出す読出し手段とを有し、前記メモリは、前記記録素子の配列方向に対応する印字データの配列に対して、アドレスが連続していることを特徴とする。

【 0 0 1 4 】また、本発明は、複数の記録素子が配列された印字ヘッドを用いて印字を行うプリンタにおいて、前記印字ヘッドを前記記録素子の配列方向とは異なる走査方向に走査する走査手段と、印字データを複数の領域に格納するメモリと、前記メモリの複数の領域に印字データを書込む書込み手段と、前記メモリの複数の領域に書込まれた印字データを前記印字ヘッドに供給するため、前記走査手段による前記印字ヘッドの走査に同期して読出す読出し手段とを有し、前記メモリの複数の領域の夫々は、前記記録素子の配列方向に対応する印字データの配列に対して、アドレスが連続していることを特徴とする。

【 0 0 1 5 】さらに、本発明は、複数の記録素子が配列された印字ヘッドを用いて印字を行うプリント方法において、前記印字ヘッドを前記記録素子の配列方向とは異なる走査方向に走査する走査工程と、印字データを格納するメモリの空き領域に印字データを書込む書込み工程と、前記メモリに書込まれた印字データを前記印字ヘッドに供給するため、前記走査工程による前記印字ヘッドの走査に同期して読出す読出し工程とを有し、前記メモリは、前記記録素子の配列方向に対応する印字データの配列に対して、アドレスが連続していることを特徴とする。

【 0 0 1 6 】上記構成によれば、印字データを格納するメモリは、記録素子の配列方向に対応する印字データの配列に対して、アドレスが連続しているので、任意のアドレスから印字データを読み出すことが可能となるため、メモリの管理が容易となる。

【 0 0 1 7 】また、本発明によれば、ドット数が多く1度に2行以上の印字が可能なような印字ヘッドを使用する場合、ビットシフト機能により編集バッファからプリントバッファにデータ転送する際にデータをシフトすることにより、任意の改行ピッチを設定することが可能になると共に編集バッファの重ね合わせにも対応できる。

【 0 0 1 8 】本発明は、より詳細には、例えば、2行同時印字が可能な印字ヘッドを使用することにより、印字速度の向上を計るものである。また4色内蔵のカラーヘッドを使用することにより、安価なカラープリンタを提供すると共に、ブラックのノズル数を他のカラーのノズル数より多くすることでモノクローム印字での印字速度の低下を防ぐものである。さらにはモノクロームヘッド

とカラーヘッドをそれぞれカートリッジ化してどちらの
カートリッジも装着可能とすることで、1台のプリンタ
で高速なモノクローム印字とカラー印字を両立させるも
のである。

【0019】

【実施例】以下図面を参照して本発明を具体的に説明す
る。

【0020】(実施例1)図1は、本発明を実施したプ
リンタの制御回路の主要構成を示すブロック図である。
図1において、1はCPU、2はROM、3はパラレル 10
インターフェース、4はプリンタコントロールIC、5
はRAM、6は印字ヘッドである。

【0021】CPU1はプリンタ全般を制御するもの
で、プログラムを実行するプロセッサ部の他に、タイマ
ー機能、入出力ポート等を内蔵する。CPU1の実行す
るプログラムは、ホストシステムから送られたデータや
コマンドを解析して印字すべき画像データを作成するコ
ントローラ部と、印字ヘッド等のプリンタメカニズムを
制御して印字用紙上への記録を行うエンジン部に大別さ
れる。ROM2はCPU1が実行するプログラムとフォ
ントデータを内蔵する。 20

【0022】パラレルインターフェース3はコンピュー
タ等のホストシステムに接続され、印字データやコマン
ドを受信する。プリンタコントロールIC4はCPU1
からの指示の基づいてパラレルインターフェース3、R
AM5、印字ヘッド6を制御する。RAM5はバス幅1
6ビットのダイナミックRAMであり、受信データや画
像データ等の格納に使用される。

【0023】印字ヘッド6は128本のインクジェット
ノズルが360分の1インチ間隔で縦方向に配列された 30
インクジェットヘッドで、印字用紙に対して水平方向に
走査されながらインク滴を噴射して印字用紙上への記録
を行う。

【0024】図1において、パラレルインターフェース
3によって受信されたデータはプリンタコントロールI
C4内の受信レジスタに一時的に格納された後、RAM
5内に設定された受信バッファ領域に格納される。プ
リントコントロールIC4の受信レジスタ中のデータが受
信バッファに転送されると、次のデータの受信が可能と
なる。データの受信と転送はバイト単位で行われる。 40

【0025】受信バッファへのデータの書き込みはCP
U1がROM2を読んでいる間に行われるので、受信デ
ータの転送はCPU1の処理速度を全く損なうことなく
行われる。CPU1はプログラムを実行するためにRO
M2を頻繁に読み出すので、パラレルインターフェース
3が受信したデータは直ちに受信バッファに格納され
る。そのため、高速なデータ受信が可能である。RAM
5の一部を受信バッファとして使用しているため、受信
バッファを用意することによるコストアップは発生しな
い。

【0026】CPU1が実行するコントローラプログラ
ムは、受信バッファ内にデータが格納されているかどう
かを調べ、格納されていれば受信データの解析を行う。
受信データが文字コードである場合は、受信した文字コ
ードのビットイメージデータをROM2内のフォントデ
ータ部から読み出し、RAM5内に設定された編集バッ
ファ領域に展開する。コントローラプログラムは1行分
のビットイメージデータで構成された編集バッファを作
成すると、エンジンプログラムに引き渡す。エンジンプ
ログラムは、編集バッファのデータをRAM5内に設定
されたプリントバッファに転送し、プリントバッファの
データに基づいて印字を行なう。

【0027】プリンタコントロールIC4の詳細を、図
27を参照して説明する。パラレルインターフェースコ
ントローラ11は、パラレルインターフェース3を制御
してデータを受信し、受信したデータを受信レジスタに
格納する。受信バッファコントローラ12は、受信レジ
スタに格納された受信データを、RAM5内の受信バッ
ファに転送する。RAM5へのデータの転送は、RAM
コントローラ13の制御に基づいて行なわれる。

【0028】CPU1によるRAM5へのアクセスは、
CPUインターフェース14を介して行なわれる。CP
U1によって編集バッファに展開されたデータは、H-
Vコンバータ15によってH-V変換されてプリントバ
ッファに転送される。また、編集バッファのデータをシ
フトしてプリントバッファに転送する場合は、後述のビ
ットシフト回路16が用いられる。

【0029】1走査分(1行分)のデータがプリントバ
ッファに準備されると、後述するプリントバッファコン
トローラ17がプリントバッファからデータを読み出し
てヘッドデータコントローラ18を介してヘッド6に供給
する。ヘッド6に対する各種タイミングは、ヘッドタイ
ミングコントローラ19によって発生される。

【0030】図2に編集バッファの構造を示す。編集バ
ッファの高さは64ドットであり、バッファ中のデータ
は縦方向に配列されているので、縦一列は8バイトのデ
ータで構成される。横方向はプリンタの印字幅に対応し
たドット数が設定され、例えば印字幅をA4の用紙に対
応させた場合、横方向のドット数は約2900ドットと
なる。

【0031】図3は編集バッファと印字領域の関係を示
す図面である。図3においてE1、E2、E3は編集バ
ッファ、9は印字ヘッド6が一回の走査で印字可能な印
字領域の高さを示している。編集バッファの高さが通常
64ドットであるのに対して印字ヘッドは128ドット
なので、印字ヘッドは一回の走査で編集バッファ2行分
以上の印字が可能である。しかしながら、一般的なホス
トコンピュータでの改行ピッチは64ドットではないの
で、高さ64ドットの編集バッファを単純に縦に2段揃
えることによって128ドットの印字データとすること 50

はできない。例えば、図3においては改行ピッチが60ドットなので各編集バッファの間には4ドットの重なりが生じている。

【0032】従って、印字の際には2行目の編集バッファのデータは4ビット分シフトする必要がある。また、編集バッファの重なる部分では2つの編集バッファのデータの論理和のデータを印字する必要が生じる。通常ホストコンピュータは改行ピッチを任意に設定できるので、編集バッファの重なり量も任意に設定できなければならない。

【0033】本実施例におけるプリンタでは、編集バッファのデータをシフトしてプリントバッファに書き込むためのビットシフト回路16が、プリンタコントロールIC4に内蔵されている。

【0034】図4はビットシフト回路16の回路構成を示す図面である。図4において、ID0-15はCPU1のデータバスからの入力データを、IMD0-15はRAM5のデータバスからの入力データを、OMD0-15はRAM5のデータバスへの出力データを示す。21はシフト量を設定するためのレジスタ、22はCPU1からデータバスを介して書き込まれたデータを一時的に保存するためのラッチ、23は書き込まれたデータをシフトするためのシフタ、24はシフトデータにマスクをかける際のマスクパターンを作成するためのパターンジェネレータ、25、26はシフトデータにマスクをかけるためのAND回路、27はシフトすることによってはみ出したデータを保存するためのレジスタ、28はRAM5から読み出したデータを一時的に保存するためのラッチ、29はシフトデータとRAM5から読み出したデータの論理和を取るためのOR回路である。

【0035】図5、図6は編集バッファからプリントバッファへのデータ転送の際にビットシフト回路によって行われるデータ変換を示す図面であり、図5は最初のデータ転送で変換されるデータ、図6は続いて行われる2回目のデータ転送で変換されるデータを示している。

【0036】図5において、31はCPU1によって書き込まれラッチ23によって保存された16ビットのデータP、32はシフタ23によってシフトされたデータ、33はAND回路25によってマスクされたデータ、34はAND回路26によってマスクされたデータ、35はレジスタ27によって保存されたデータ、37はOR回路29によって合成されたデータを示している。なお、36はRAM5によって書き込まれラッチ28によって保存された16ビットのデータXを示す。

【0037】図6は図5と同様であり、41はCPU1によって書き込まれラッチ23によって保存された16ビットのデータQ、42はシフタ23によってシフトされたデータ、43はAND回路25によってマスクされたデータ、44はAND回路26によってマスクされたデータ、45はレジスタ27によって保存されたデータ、

47はOR回路29によって合成されたデータを示している。なお、46はRAM5によって書き込まれラッチ28によって保存された16ビットのデータYを示す。

【0038】次に、ビットシフト回路の動作を図4および図5に基づいて説明する。CPU1は、改行ピッチに応じたシフト量をシフト量レジスタ21に設定した後、編集バッファからプリントバッファへのデータ転送を行う。CPU1のデータバス幅が16ビットなので、編集バッファからプリントバッファへのデータ転送は16ビット単位で行われる。CPU1がRAM5のプリントバッファ領域にデータを書き込むと、書き込まれたデータ31はラッチ22を経由した後、シフタ23に入力される。ラッチ22はデータの書き込みが終了するまでデータ31を保存する。シフタ23はセクタの組み合わせであり、シフト量レジスタ21の値によって設定された任意のシフト量のデータを出力する。そのためシフタ23はシフトレジスタを使った回路のようなシフトのための時間を必要としない。

【0039】図5においては、シフト量として4が設定されているので、入力されたデータP15~P0は下に4ビットシフトされ、はみ出したデータP3~P0は上に戻されてデータ32となる。AND回路25はシフタによって送り出されたビット部分をマスクして0にしたデータ33を出力する。また、AND回路26はシフタによって送り出されたビット部分以外をマスクして0にしたデータ34を出力する。レジスタ27には、最初はすべて0であるデータ35が設定されている。AND回路25の出力するデータ33とレジスタ27の出力するデータ35は、OR回路29に入力される。

【0040】CPU1がRAM5のプリントバッファ領域にデータ書き込みを開始すると、上記の動作に並行してデータを書き込むべきプリントバッファのアドレスからデータ36が読み出され、ラッチ28を経由した後にOR回路29に入力される。ラッチ28はデータの書き込みが終了するまでデータ36を保存する。OR回路29はデータ33、データ35およびデータ36の論理和であるデータ37を出力する。データ37はプリントバッファに書き込まれる。プリントバッファからのデータ36の読み出しとプリントバッファへのデータ37の書き込みは、RAM5へのリードモディファイライトサイクルとして実行され、CPU1の1回のライトサイクルに対して1回のリードモディファイライトサイクルが実行される。このリードモディファイライトサイクルによって、CPU1の書き込んだデータP15~P0はシフトされ、P15~P4がプリントバッファに書き込まれる。書き込む際のデータは、プリントバッファに元々入っていたデータX15~X0との論理和となる。書き込みが終了すると、AND回路26が出力するデータP3~P0はレジスタ27に保存される。

【0041】次のプリントバッファへのデータ書き込みは、図6によって説明される。図6におけるデータ変換は図5と同等であり、CPU1の書き込んだデータQ15～Q0はシフトされ、Q15～Q4と先の書き込み時にはみ出して書き込めなかったP3～P0がプリントバッファに書き込まれる。書き込む際のデータはプリントバッファに元々入っていたデータY15～Y0との論理和となる。以上の動作を繰り返すことによって、編集バッファ内のデータを順次シフトしながらプリントバッファに転送することができる。

【0042】図7は、編集バッファの縦1列分のデータをプリントバッファに転送する方法について示している。図7において、51、52、53、54は編集バッファ内のデータ、55はゼロデータ、56、57、58、59、60はプリントバッファ内のデータである。

【0043】CPU1はプリンタコントロールIC4に対してシフト量nを設定した後、編集バッファのデータ51をプリントバッファ56に書き込む。プリンタコントロールIC4のビットシフト回路はデータ51をnビットシフトし、プリントバッファ56の元々のデータとのORデータを56に書き込む。以下順次、CPU1は編集バッファのデータ52、53、54をプリントバッファ57、58、59に書き込み、最後にデータ54の余ったnビット分をプリントバッファに転送するために、ゼロデータ55をプリントバッファ60に書き込む。以上で編集バッファの縦1列分、すなわち64ドットのデータがプリントバッファに転送される。この動作をさらに水平方向のドット数分繰り返すことによって、編集バッファ1行分のデータがプリントバッファに転送される。

【0044】以上の方法で、編集バッファのデータをプリントバッファに転送することにより、編集バッファのデータを任意にシフトすることができるので、改行ピッチを自由に設定できる。プリントバッファの元々のデータとORをとることにより、編集バッファが重なる部分のデータをORデータにすることができ、任意の数の編集バッファを重ね合わせることが可能になる。

【0045】データのシフトには専用のビットシフト回路を使用することによりシフトのための時間を必要とせず、またデータの重ね合わせにはリードモディファイライタを使用することにより、データのシフトや重ね合わせによる時間のロスが発生しない。さらに、編集バッファとプリントバッファはそれぞれ縦方向にアドレスが連続しているため、データ転送においてはブロック転送命令や、CPU内蔵のDMA機能などの高速な転送方法が利用できる。

【0046】次に、本実施例の特徴的なプリントバッファの構成とそのアドレス配列を図8に基づいて説明する。図8において、数値のつけられたそれぞれの枠が1バイトのデータを示し、中の数値がアドレスを示してい

る。プリントバッファ中において、ビットデータは縦方向（ノズルの配列方向）に配列され、アドレスも縦方向に連続している。なお、アドレスは0から始まっているが、これは便宜的につけた数値であり、実際には任意の値から始めることができる。プリントバッファの高さとして40バイトが確保されている。印字ヘッドは128ノズルなので、一回の走査で必要とする高さは16バイトである。従って、2.5走査分の容量を有することになる。本実施例で特徴的な点は、この複数走査に相当する容量の縦方向のアドレスが例えば、0～39、40～79、・・・のように連続していることである。

【0047】図8において、61は1回目のヘッド走査で印字する印字領域、62は2回目のヘッド走査で印字する印字領域である。プリントバッファの容量としてヘッド走査2回分以上の領域を確保しているため、ヘッド走査中に次のヘッド走査で印字する領域の印字データを作成することが可能であり、印字データを作成するためにプリンタの動作に待ち時間が発生するのを防ぐことができる。図8において、プリントバッファの幅は3000ドットとなっているが、実際には印字用紙の幅に合わせて自由に設定することができる。また、高さも図8では40バイトとなっているが、RAM中でプリントバッファとして確保できる容量に応じて自由に設定することができる。

【0048】図9は1回目のヘッド走査が終了し、図8における領域61が解放された後のプリントバッファの構成を示している。解放された領域に3回目以降のヘッド走査で印字する印字データが書き込まれる。詳細には、解放された領域61の内、アドレス0～15は使用されず、アドレス120000～120015が新たに使用される。このように、プリントバッファをヘリカルに連続させることで、図8および図9で示されるように、プリントバッファのアドレスは、ヘッドが印字する印字領域とは無関係に常に縦方向に連続している。見かけ上、スクロールしているかのように見える。

【0049】この連続性は1ページ分の印字が終了するまで保たれる。またプリントバッファの構成は印字幅とバッファ容量によって決定され、ヘッド構成には無関係である。そのためプリントバッファの構成を印字ヘッドのノズル数に依存せずに決定することができ、ノズル構成の異なる複数の印字ヘッドを使用する場合にプリントバッファ管理方法が簡潔になる。また、プリントバッファ中の縦方向のアドレスはすべて連続しているため、プリントバッファ中の任意の位置を印字領域として設定することが可能であり、印字位置の決定の自由度が大きくなる。

【0050】例えば、本実施例ではノズル数128本のヘッドを用いる場合について説明した。この場合、一回の走査のプリントで用いられるプリントバッファの領域は、縦方向に16バイトである（領域61、62）。こ

10

20

30

40

50

ここで、ノズル数 6 4 本のヘッドを用いる場合は、領域 6 1 の 1 / 2 の領域を一回の走査のプリントで用いればよく、ノズル数 2 5 6 本のヘッドを用いる場合は、領域 6 1, 6 2 を一回の走査のプリントで用いればよい。このように、ヘッドのノズル構成によらずプリントバッファの管理は容易である。

【0051】次に、ファインモードの記録におけるプリントバッファの管理について説明する。

【0052】ファインモードでの記録とは、シリアルスキヤンのつなぎスジ（バンディング）を軽減するため、記録ヘッドの異なる領域を用いて複数の走査で相補的に 1 バンド（記録ヘッドの幅）の記録を完了させることによって高品質の画像を記録する記録方法を意味する。

【0053】図 2 8 A、B、C を参照して、高品位モードでの記録方法の概念を説明する。理解を容易にするために、ヘッドのノズル数を 8 個とする。

【0054】ファインモードであると、図 2 8 A、B、C に示すように、千鳥状に複数パスで記録を行う。例えば、2 パスの場合、紙送り量をヘッドの幅の 1 / 2 とし、1 走査で記録データを 1 / 2 に間引き（千鳥と逆千鳥パターン）、2 回の走査で記録を完成させる。

【0055】同図は、それぞれこの千鳥、逆千鳥パターンを用いた時に、一定領域の記録がどのように完成されていくかを、8 ノズルを持ったマルチヘッドを用いて説明したものである。まず、1 スキャン目では、下 4 ノズルを用いて千鳥パターン（斜線丸印）の記録を行う（図 2 8 A 参照）。次に、2 スキャン目には、紙送りを 4 画素（ヘッド長の 1 / 2）だけ行い、逆千鳥パターン（白丸印）の記録を行う（図 2 8 B）。更に、3 スキャン目には再び 4 画素（ヘッド長の 1 / 2）だけの紙送りを行い、再び千鳥パターンの記録を行う（図 2 8 C）。

【0056】この様にして、順次 4 画素単位の紙送りと千鳥、逆千鳥パターンの記録を交互に行うことにより、4 画素単位の記録領域を 1 スキャン毎に完成させてゆく。以上説明したように、同じ領域内に異なる 2 種類のノズルにより記録が完成されていくことにより、濃度ムラの無い高画質な画像を得ることが可能である。

【0057】モノクロカートリッジでは、1 2 8 ノズルを 4 分割し、後述するカラーカートリッジのカラーモードでは、4 色分各 2 4 ノズルを 3 分割し、モノクロモードでは黒 6 4 ノズルを 2 分割している。

【0058】以上のように、ファインモードを用いた記録によれば、1 行分のデータが複数回読出されることになる。しかも、縦（ノズル配列）方向に異なる位置から連続して読出されることになる。本実施例の縦方向に連続したアドレスを有するプリントバッファを用いれば、読出し位置（アドレス）に任意に設定することができるので、ファインモードの記録においても、プリントバッファの管理は容易となる。

【0059】以上説明したプリントバッファへのプリン

トデータの転送、プリントバッファからのプリントデータの読出し及びプリントバッファの解放の詳細については、後述する。

【0060】図 1 0 は印字データと印字方向の関係について示している。図 1 0 において、7 1、7 2、7 3、7 4 は印字ヘッドが 1 回の走査で印字する印字領域、斜線部は実際に印字データが存在する領域、矢印は印字方向を示している。通常は図 1 0 の上の図のように領域 7 1 を印字した後に紙送りをしながらヘッドを戻し、領域 7 2 を印字する。一方、図 1 0 の下の図は印字領域中の下端付近にブランクラスタ、すなわち印字領域中全く印字しないドット行がある場合である。

【0061】図 1 0 の下の図においては、領域 7 3 の 1 2 0 ドット目以降がブランクラスタとなっているので、プリンタは上から 1 2 0 ドットのみを印字し、紙送りの後印字ヘッドを逆方向に印字しながら領域 7 4 を印字する。逆方向印字を使用することによりヘッドを戻す時間が必要なくなるので、印字時間が短縮される。逆方向印字では印字ずれが片方向印字よりも大きくなる可能性があるが、ブランクラスタが入っている場合は印字ずれは目立たないので実質的な問題はない。このような印字方法においては常に 1 2 8 ドットずつ印字するのではなく、印字位置が印字データによって変化するが、図 8 および図 9 で示したプリントバッファ構成においては、プリントバッファ中の任意の位置から印字することが可能なので、印字位置を変化されるための余分な負荷は発生しない。

【0062】本実施例における印字ヘッドの駆動シーケンスを表すタイミングチャートを図 1 1 に示す。図 1 1 において印字ヘッドは時分割駆動され、1 2 8 本のノズルは 1 6 回に分割されて駆動される。隣接するノズルは異なるタイミングで駆動され、同時に駆動されるノズルは 1 6 ドットおきとなる。時分割駆動によって印字ヘッドの駆動に必要な電流のピーク値を減らして電源の負担を軽減できる。さらに隣接するノズルを異なるタイミングで駆動することにより、インク滴の噴射に伴うヘッド内のインクの振動を軽減させ、ヘッドのインク噴射特性を向上させることができる。

【0063】しかしながら、シリアルプリンタは印字ヘッドを記録紙に対して走行させながら駆動するので、駆動タイミングのずれは記録紙上でのドット位置のずれとなる。図 1 1 に示すような駆動方法においては、時分割による時間差でドット列が鋸状に形成される。従って、印字ヘッドを時分割駆動する場合は駆動タイミングの時間差によって印字ずれが生じないように何らかの対策を施す必要がある。

【0064】本実施例において時分割駆動による印字ずれを防ぐ方法を、図 1 2 に基づいて説明する。図 1 2 において、左側の図は印字ヘッド上部の 1 番目から 2 0 番目までのノズル配列を示しており、印字ヘッドは記録紙

上の垂直線に対して 3. 58 度傾いた状態でキャリッジに取り付けられる。すなわち、印字ヘッドは垂直方向 16 ドットあたり水平方向 1 ドット分の傾きを持つ。キャリッジは記録紙に対して水平方向に走査される。

【0065】この状態において、図 11 の駆動シーケンスにより記録紙上に形成されたドット配列を図 12 の右側に示す。時分割駆動による駆動タイミングのずれがヘッドの傾きによって相殺されるので、1 ノズル目から 16 ノズル目までのドットは垂直に配置されて印字ずれは生じない。また、17 ノズル目以降のドットは 1 ドット分右に離れて垂直に配置されるので右隣の列のドットを形成することとなり、やはり印字ずれは生じない。したがって、16 ノズル毎に隣の列のドットを形成することとなり、印字ヘッドの 1 回の駆動によって、記録紙上では階段状のドット列が 8 列に渡って形成される。

【0066】次に、プリンタコントロール IC 4 に内蔵されるプリントバッファ制御回路 17 について説明する。プリントバッファ制御回路 17 は RAM 5 中のプリントバッファから印字データを読み出して印字ヘッドに転送する。プリントバッファ制御回路 17 が読み出すプリントバッファのアドレス配列を図 13 に示す。

【0067】図 13 において、式の書き込まれた各長方形は 1 バイトの印字データを示し、長方形内の式はアドレスを示す。図中において K はスタートアドレス、KH は水平オフセット値である。プリントバッファのアドレスは垂直方向には 1 ずつ増加し、水平方向には KH ずつ増加する。なお図 13 においてはプリントバッファのアドレスは最初の 2 列のみを示し、以後は一番上の行を除いて省略している。印字ヘッドが 1 回の駆動で印字するドット列は、図 12 に示したように階段状になるので、プリントバッファから印字ヘッドにデータを転送する場合は、図 13 で網掛けされた部分が示すようにプリントバッファも階段状に読み出す必要がある。

【0068】図 14 は、プリントバッファ制御回路中のアドレス作成回路のブロック図である。図 14 において、81 はアドレスレジスタ、82 は水平オフセットレジスタ、83 は待避レジスタ、84 はセクタ、85 はマスク回路、86 は反転／非反転回路、87 は加算器、88 はキャリー制御回路、89 は階段パターンレジスタである。データ信号 D0 ～ 15 は CPU1 が書き込んだデータを転送する。アドレスレジスタ 81 と水平オフセットレジスタ 82 はデータ信号 D0 ～ 15 に接続され、アドレスレジスタ 81 はスタートアドレス値を、水平オフセットレジスタ 82 は水平オフセット値を格納する。スタートアドレスと水平オフセットの設定は CPU1 が管理する。

【0069】アドレスレジスタ 81 の出力信号 PBA0 ～ 18 は、出力バッファを通して RAM 5 のアドレス信号 ADDRESS に接続される。待避レジスタ 83 はアドレスレジスタ 81 が出力した値を一時的に保存して、

信号 LA0 ～ 18 に出力する。セクタ 84 は PBA0 ～ 18 と LA0 ～ 18 のどちらかを選択して信号 SA0 ～ 18 に出力する。マスク回路 85 は水平オフセットレジスタ 82 の出力のマスクを制御する。マスク回路 85 の出力値はマスク状態においては 0 となり、マスク状態でないときは水平オフセットレジスタ 82 の出力値がそのまま出力される。

【0070】反転／非反転回路 86 はマスク回路 85 の出力の反転／非反転を制御する。加算器 87 はセクタ 84 の出力値と反転／非反転回路 86 の出力値を加算して信号 NPA0 ～ 88 に出力する。キャリー制御回路 88 は加算器 87 のキャリー入力信号を制御する。信号 NPA0 ～ 18 はアドレスレジスタ 81 に入力され、アドレス値の再設定に使用される。階段パターンレジスタ 89 はデータ信号 D0 ～ 15 に接続され印字ヘッドの階段パターンを格納する。階段パターンは印字ヘッドの 1 回の駆動によって形成されるドット列の形状を示すデータである。

【0071】図 15 はプリントバッファ制御回路の動作を示すタイミングチャートであり、図 14 に示したアドレス作成回路の動作を図 15 に基づいて具体的に説明する。

【0072】先に順方向印字すなわちキャリッジが記録紙に対して左から右に走査される場合について述べる。図 15 において、CLK はアドレス作成回路を同期的に動かすためのクロック信号であり、アドレス作成回路の各部は CLK の立ち上がり同期して変化する。アドレスレジスタ 81 の値は K に、水平オフセットレジスタ 82 の値は KH にあらかじめ設定されている。プリントバッファ制御回路がプリントバッファの読み出しを開始すると、信号 PBA0 ～ 18 の値 K が RAM 5 のアドレス信号 ADDRESS に出力され、リード信号 READ にリードパルスが出力される。そのためスタートアドレス K から印字データが読み出され、印字ヘッドに転送される。この最初の読み出し時にスタートアドレス K は待避レジスタ 83 に格納され、信号 LA0 ～ 18 の値は K になる。

【0073】セクタ 84 は信号 PBA0 ～ 18 を選択しているので、信号 SA0 ～ 18 の値は PBA0 ～ 18 に等しくなる。マスク回路 85 はマスク状態であり、出力値は 0 である。また、反転／非反転回路 86 は非反転状態なので、マスク回路 85 の出力値 0 がそのまま出力される。キャリー制御回路 88 はキャリーをセットしているので加算器 87 に対して 1 を加算するのと同等の効果を持つ。

【0074】図 15 において、加算値の名が付いた信号は反転／非反転回路 86 の出力値とキャリー制御回路 88 の出力を加算したものであり、信号 SA0 ～ 18 とこの加算値の和が信号 NPA0 ～ 18 に出力される。加算値が +1 となっているので NPA0 ～ 18 の値は K+1

となり、この値はアドレスレジスタ 81 にフィードバックされる。そのため、アドレスレジスタ 81 の値は次のクロックで $K+1$ に設定され、アドレス $K+1$ から印字データが読み出されて印字ヘッドに転送される。

【0075】この時には階段パターンレジスタ 89 の設定によってマスク回路 85 は非マスク状態になり、出力値は KH となる。また、キャリー制御回路 88 はキャリーをセットしているため、加算値が $+1+KH$ となり $NPA0 \sim 18$ の値は $K+2+KH$ となる。この値がアドレスレジスタ 81 にフィードバックされるので、次のクロックではアドレス $K+2+KH$ から印字データが読み出されて印字ヘッドに転送される。同様にしてアドレスレジスタ 11 の値は順次加算され、プリントバッファのアドレスは K から $K+15+7KH$ まで階段状に読み出され、都合 16 バイトの印字データが印字ヘッドに転送される。

【0076】最後のクロック時にはセクタ 84 は信号 $LA0 \sim 18$ を選択するので、信号 $SA0 \sim 18$ の値は待避レジスタ 83 に保存されていた値 K となる。また、マスク回路 85 は非マスク状態となって水平オフセットレジスタ 82 の値 KH を出力し、キャリー制御回路 88 はキャリーをリセットするので加算値は KH となる。そのため $NPA0 \sim 18$ の値は $K+KH$ となり、この値は最後のクロックによってアドレスレジスタ 81 に設定される。

【0077】図 13 に示すように、アドレス $K+KH$ はアドレス K の右隣の印字データであり、アドレスレジスタ 81 の値は印字ヘッドの駆動 1 回分の印字データが転送された後は自動的に右隣のアドレスに再設定されることになる。そのため、CPU1 はキャリッジを走査する前に一度スタートアドレスを設定すれば、キャリッジを走査している間はアドレスを設定し直す必要はない。

【0078】次に逆方向印字の場合について説明する。逆方向印字時も順方向印字と同様、プリントバッファのアドレスが K から $K+15+7KH$ まで階段状に読み出され、16 バイトの印字データが印字ヘッドに転送される。ただし、最後のクロック時には反転／非反転回路 86 は反転状態となり、キャリー制御回路 88 はキャリーをセットするので、加算値は $-KH$ となる。そのため印字データの転送終了後はアドレスレジスタ 81 の値は $K-KH$ に設定され、アドレス K に対して左隣のアドレスを示すことになる。

【0079】以上のように、プリントバッファ制御回路はプリントバッファ内のデータを自動的に読みだすため、CPU はキャリッジを走査する前に一度スタートアドレスを設定すれば、キャリッジを走査している間はプリントバッファの読み出しに介入する必要は無く、CPU1 の負荷は軽減される。プリントバッファの読み出しは CPU1 が ROM2 を読み出している間に行われるので、CPU1 のスループットを全く低下させることなく

プリントバッファを読み出すことが可能である。

【0080】また、プリントバッファの水平方向のアドレス変化を水平オフセットレジスタで設定する。例えば、図 8 に示すプリントバッファにおいては、40 を水平オフセットレジスタに設定すればよい。これにより、垂直方向のアドレス連続量、すなわちプリントバッファの大きさを任意に設定することが可能となっている。

【0081】次に、高精細モードについて説明する。ノーマルモードでのドットピッチが垂直・水平とも 360 分の 1 インチであるのに対し、高精細モードでは水平方向のドットピッチを 720 分の 1 インチに設定する。

【0082】図 16 は高精細モードにおける印字ヘッドの駆動シーケンスを表すタイミングチャートである。128 本のノズルは 16 回に分割されて駆動され、2 番目のヒートでは 1 番目のヒートに対して 8 ドット離れたノズルが駆動される。

【0083】印字ヘッドのノズル配列と記録紙上に形成されたドット配列の関係を、図 17 に示す。図 17 において、左側の図は印字ヘッド上部の 1 番目から 20 番目までのノズル配列を示しており、印字ヘッドは記録紙上の垂直線に対して 3.58 度傾いた状態でキャリッジに取り付けられる。すなわち、印字ヘッドは垂直方向 16 ドットあたり水平方向 1 ドット分の傾きを持つ。キャリッジは記録紙に対して水平方向に走査される。この状態において、図 16 の駆動シーケンスにより記録紙上に形成されたドット配列を図 17 の右側に示す。時分割駆動による駆動タイミングのずれがヘッドの傾きによって相殺されるので、1 ノズル目から 8 ノズル目までのドットは垂直に配置されて印字ずれは生じない。また 9 ノズル目以降のドットは 720 分の 1 インチ分右に離れて垂直に配置されるので、右隣の列のドットを形成することとなりやはり印字ずれは生じない。実際には図 16 が示すように 8 ドット離れたノズルは同時には駆動されないで、わずかなずれが生じるが実用上問題はない。

【0084】また、17 ノズル目以降のドットは 360 分の 1 インチ分右に離れて垂直に配置される。したがって、印字ヘッド全体で見れば 1 回の駆動によって、記録紙上では階段状のドット列が 16 列に渡って形成される。

【0085】高精細モードにおいて、プリントバッファ制御回路が読み出すプリントバッファのアドレス配列を図 18 に示す。図 18 において、式の書き込まれた各長方形は 1 バイトの印字データを示し、長方形内の式はアドレスを示す。図中において K はスタートアドレス、 KH は水平オフセット値である。プリントバッファのアドレスは垂直方向には 1 ずつ増加し、水平方向には KH ずつ増加する。なお図 18 においては、プリントバッファのアドレスは最初の 2 列のみを示し、以後は省略している。

【0086】印字ヘッドが 1 回の駆動で印字するドット

列は、図 17 に示したような階段状になるので、プリントバッファから印字ヘッドにデータを転送する場合は、図 18 で網掛けされた部分が示すように、プリントバッファも階段状に読み出す必要がある。

【0087】高精細モードにおけるプリントバッファの読み出しにも、図 14 に示すプリントバッファ制御回路で対応が可能である。すなわち、階段パターンレジスタ 89 の設定により、マスク回路 85 を常に非マスク状態にして出力値を KH とすることで、プリントバッファのアドレスは図 18 の網掛け部で示すように順次下方および右列へと移動しながら読み出される。

【0088】図 19 に、コントローラプログラムのフローチャートを示す。ステップ S1 で受信バッファ中に受信データがあるかどうかを調べ、データがあればステップ S2 で読み込む。ステップ S3 において 1 行分のデータ入力されたかを調べ、入力されていなければステップ S1 に戻る。入力されていればステップ S4 で空いている編集バッファがあるかを調べ、空いていればステップ S5 で編集バッファを作成し、ステップ S6 でエンジンプログラムに引き渡す。

【0089】図 20 にエンジンプログラムのフローチャートを示す。ステップ S11 で編集バッファが用意されているかを調べ、用意されていなければステップ S15 に進む。用意されていればステップ S12 に進む。ステップ S12 でプリントバッファ中に編集バッファを転送するだけの空き、例えば、縦 16 バイト分があるかを調べ、なければステップ S15 に進む。空きがあればステップ S13 で編集バッファのデータをプリントバッファに転送し、ステップ S14 でデータ転送の済んだ編集バッファを解放する。ステップ S15 で、プリントバッファ中に高さ 128 ビット分の印字データがたまったか、双方向印字の可能なブランクラスタがあるかを調べ、なければステップ S11 に戻る。あればステップ S16 で印字を行い、ステップ S17 で印字の済んだプリントバッファ領域を解放する。解放されたプリントバッファ領域は、プリントバッファの空き領域の後方に、先に述べたようにヘリカルに連続して結合される。

【0090】本実施例では、シフト量を設定する手段と、データを入力する手段と、入力されたデータを前記シフト量設定手段によって設定された量だけシフトする手段と、シフトすることによって送り出されたデータを保存する手段と、次に入力されたデータと先に保存されたデータを合成する手段と、メモリからデータを読み込む手段と、読み込んだデータを前記合成データで修飾する手段と、修飾したデータをメモリに書き込む手段とによりビットシフト機能を達成している。

【0091】また、印字データを格納すると共に、バッファ内においては印字データの縦方向の配列に対してアドレスが常に連続しているメモリによってバッファ機能を達成している。

【0092】さらに、印字ヘッドを時分割駆動する手段によってヘッド駆動機能を達成している。

【0093】また、先頭アドレスを設定する手段と、アドレスオフセットを設定する手段と、前記先頭アドレスをインクリメントすると共に前記アドレスオフセットを加算して転送アドレスを生成する手段と、各転送アドレスの生成時に前記アドレスオフセットを加算するか否かを設定する手段と、転送回数を決定する手段と、前記先頭アドレスに前記アドレスオフセットを加算あるいは減算する手段と、前記転送アドレスからデータを読み出す手段と、読み出した前記データを出力する手段とによりプリントバッファ制御機能を達成している。

【0094】以上説明したように本実施例によれば、ドット数が多く 1 度に 2 行以上の印字が可能なような印字ヘッドを使用する場合、ビットシフト機能により編集バッファからプリントバッファにデータ転送する際にデータをシフトすることにより、任意の改行ピッチを設定することが可能になると共に、編集バッファの重ね合わせにも対応できる。

【0095】プリントバッファのアドレスを常に縦方向に連続させることによって、編集バッファからプリントバッファあるいはプリントバッファから印字ヘッドへのデータ転送を容易にすると共に、プリントバッファの構成をヘッドのドット数とは無関係に設定することができ、プリントバッファの管理が容易になる。また、プリントバッファ中の任意の位置を印字領域とすることができ、印字位置の設定の自由度が高くなる。

【0096】また、印字ヘッドを時分割駆動で分散的に駆動させることによって印字ヘッドの駆動特性を向上させると共に、ヘッドを傾けることによって時分割駆動による印字ずれを防ぐことができる。

【0097】プリントバッファ制御回路がプリントバッファ内のデータを自動的に読み出して印字ヘッドに転送することにより、CPU1 はキャリッジを走査している間にプリントバッファの読み出しに関与する必要がなくなり負荷が軽減される。その際、プリントバッファ制御回路がドット配列形状にあわせてプリントバッファを階段状に読み出すことにより、CPU1 はプリントバッファの作成時にドット配列形状を意識する必要がなくなり負荷の増大を防ぐことができる。

【0098】(実施例 2) 次に、本発明の第 2 の実施例について説明する。

【0099】本実施例におけるプリンタの制御回路の主要構成は図 1 と同等であり、CPU1、ROM2、インターフェース 3、プリンタコントロール IC4、RAM5、印字ヘッド 6 を有している。本実施例における印字ヘッドのドット構成を図 21 に示す。印字ヘッドには 136 本のノズルが一列に配置され、上から順にイエロー 24 ドット、マゼンタ 24 ドット、シアン 24 ドット、ブラック 64 ドットで構成され、各色の間には 8 ドット

分のギャップが設けられている。

【0100】本実施例における印字ヘッドの駆動シーケンスを表すタイミングチャートを図22に示す。図22において印字ヘッドは時分割駆動され、136本のノズルは16回に分割されて駆動される。隣接するノズルは異なるタイミングで駆動され、同時に駆動されるノズルは16ドットおきとなる。時分割駆動によって印字ヘッドの駆動に必要な電流のピーク値を減らして電源の負担を軽減できる。さらに、隣接するノズルを異なるタイミングで駆動することにより、インク滴の噴射に伴うヘッド内のインクの振動を軽減させ、ヘッドのインク噴射特性を向上させることができる。

【0101】本実施例において、時分割駆動による印字ずれを防ぐ方法は先に図12に基づいて説明した方法と同じく、ヘッドを傾けることによって時分割駆動によるずれを相殺するものである。印字ヘッド全体で見れば、図23に示すように16ノズル毎に隣の列のドットを形成することとなり、印字ヘッドの1回の駆動によって記録紙上では階段状のドット列が10列に渡って形成される。

【0102】本実施例におけるプリントバッファのデータ構造を図24に示す。図24においてイエロー、マゼンタ、シアン、ブラックの各色は独立したプリントバッファを持つ。各プリントバッファ中において、印字データは縦方向に並べられ、アドレスも縦方向に連続している。各色のプリントバッファのスタートアドレスはY、M、C、Kであり、水平オフセット値はYH、MH、CH、KHである。印字ヘッドは階段状のドット列を印字するので、プリントバッファから印字ヘッドにデータを転送する場合は、図24で網掛けされた部分、すなわちアドレスY、Y+1、Y+2+YHの3バイト、アドレスM、M+1、M+2+MHの3バイト、アドレスC、C+1、C+2+CHの3バイトおよびアドレスKからK+7+3KHまでの8バイトのデータを読み出す。本実施例では、イエロー、マゼンタ、シアン夫々に対しては縦8バイト、ブラックに対しては縦20バイトを、横方向には3000ドットをプリントバッファとして割当てた。

【0103】図25は、本実施例においてプリンタコントロールIC4に内蔵されるプリントバッファ制御回路のアドレス作成部分のブロック図である。図25において、101a~dはアドレスレジスタ、102a~dは水平オフセットレジスタ、103はセクタ、104は待避レジスタ、105、106はセクタ、107はマスク回路、108は反転/非反転回路、109は加算器、110はキャリー制御回路、111は階段パターンレジスタである。アドレスレジスタ101a~d、水平オフセットレジスタ102a~d、待避レジスタ104、セクタ105、マスク回路107、反転/非反転回路108、加算器109、キャリー制御回路110、

階段パターンレジスタ111の機能は図14の場合と同等であるが、プリントバッファが4色分となったのに対応してアドレスレジスタ101a~dと水平オフセットレジスタ102a~dも4セットに拡張され、セクタ103、106が設けられている。

【0104】図26は図25のアドレス作成回路の動作を示すタイミングチャートであり、順方向印字の場合について示している。図25に示したアドレス作成回路の動作を、図26に基づいて具体的に説明する。

【0105】図26において、CLKはアドレス作成回路を同期的に動かすためのクロック信号であり、アドレス作成回路の各部はCLKの立ち上がり同期して変化する。アドレスレジスタ101a~dの値はK、Y、M、Cに、水平オフセットレジスタ102a~dの値はKH、YH、MH、CHにあらかじめ設定されている。また、階段パターンレジスタ111の値は印字データ16ドットあたり、即ち2バイトに1回セットされるように設定されている。

【0106】プリンタコントロールIC4がプリントバッファの読み出しを開始すると、最初にアドレスレジスタ101bの値Yがセクタ103によって選択されて信号PBA0~18に出力される。信号PBA0~18の値はRAM5のアドレス信号ADDRESSに出力され、リード信号READ-にリードパルスが出力される。そのためスタートアドレスYから印字データが読み出され、印字ヘッド6に転送される。この読み出し時にスタートアドレスYは待避レジスタ104に格納され、信号LA0~18の値はYになる。

【0107】セクタ105は信号PBA0~18を選択しているため、信号SA0~18の値はPBA0~18に等しくなる。セクタ106は水平オフセットレジスタ102bの値YHを選択しているが、マスク回路107はマスク状態なので出力値は0である。また、反転/非反転回路108は非反転状態なのでマスク回路107の出力値0がそのまま出力される。キャリー制御回路110はキャリーをセットしているので加算器109に対して1を加算するのと同等の効果を持つ。

【0108】図26において、加算値の名が付いた信号は反転/非反転回路108の出力値とキャリー制御回路110の出力を加算したものであり、信号SA0~18とこの加算値の和が信号NPA0~18に出力される。加算値が+1となっているのでNPA0~18の値はY+1となり、この値はアドレスレジスタ101bにフィードバックされる。そのため、アドレスレジスタ101bの値は次のクロックでY+1に設定され、アドレスY+1から印字データが読み出されて印字ヘッド4に転送される。

【0109】このとき階段パターンレジスタ111の設定によってマスク回路107は非マスク状態となり、水平オフセットレジスタ102bの値YHを出力する。そ

のため、加算値は $+1+YH$ となり、アドレスレジスタ 101b の値は次のクロックで $Y+2+YH$ まで加算される。従ってイエローのプリントバッファについてはアドレス Y 、 $Y+1$ 、 $Y+2+YH$ の3バイトから読み出された印字データが印字ヘッドに転送される。

【0110】アドレス $Y+2+YH$ が読み出される時にはセクタ105は信号 $LA0\sim 18$ を選択するので、信号 $SA0\sim 18$ の値は待避レジスタ104に保存されていた値 Y となる。また、マスク回路15は非マスク状態となって YH を出力し、キャリア制御回路110はキャリアをリセットするので加算値は YH となる。そのため $NPA0\sim 18$ の値は $Y+YH$ となり、この値はアドレスレジスタ101bに設定される。同様にしてマゼンタ、シアン、ブラックの印字データが順次読み出される。ただしブラックのみは8バイトの印字データが印字ヘッドに転送される。

【0111】各色の印字データの転送が終了する度に、アドレスレジスタ101a~dの値は各プリントバッファにおける右隣のアドレスに再設定されるので、CPU1はキャリッジを走査する前に一度スタートアドレスを設定すれば、キャリッジを走査している間はアドレスを設定し直す必要は無い。逆方向印字時には反転/非反転回路108を用いてアドレスレジスタ101a~dの値を左隣のアドレスに設定することが可能である。

【0112】以上説明したように、本実施例によるプリンタにおいてはイエロー、マゼンタ、シアン、ブラックの各ノズルが一行に配置された印字ヘッドを使用することにより、安価な構成でカラー印字が可能となる。プリントバッファ制御回路が各色のプリントバッファのアドレスを独立に制御するため、印字ヘッドへのデータ転送は各色の印字データを組み合わせて送る必要があるにもかかわらず、CPU1は各色のプリントバッファを別々に作成することが可能となり、プリントバッファ作成の負荷が軽減される。

【0113】さらに、プリントバッファ制御回路は印字ヘッドが形成する階段状のドット配列形状に合わせてプリントバッファを読み出す機能を有するため、CPU1はドット配列形状を意識することなくプリントバッファ内の印字データを作成することができ、CPU1の負荷を軽減できる。

【0114】本実施例によるプリンタにおいては、ブラック用のプリントバッファのみを使用することによって実施例1と同等の処理を行うことができるので、モノクロのヘッドを使用することも可能である。印字ヘッドをカートリッジ式としてカラーとモノクロの両方のヘッドを装着できるようにすれば、カラーおよびモノクロのプリンタとしてそれぞれ最適な制御をすることができる。ヘッドに識別信号を設けてプリンタ側でヘッドの種類を判別させることにより、装着されたヘッドの種類によってプリンタの制御を自動的に変えることが可能である。

【0115】本発明は、特にインクジェット記録方式の中でも熱エネルギーを利用して飛翔的液滴を形成し、記録を行うインクジェット方式の記録ヘッドを用いた記録装置において優れた効果をもたらすものである。

【0116】その代表的な構成や原理については、例えば、米国特許第4723129号明細書、同第4740796号明細書に開示されている基本的な原理を用いて行うものが好ましい。この方式は所謂オンデマンド型、コンティニュアス型のいずれにも適用可能であるが、特に、オンデマンド型の場合には、液体（インク）が保持されているシートや液路に対応して配置されている電気熱変換体に、記録情報に対応して核沸騰を越える急速な温度上昇を与える少なくとも一つの駆動信号を印加することによって、電気熱変換体に熱エネルギーを発生せしめ、記録ヘッドの熱作用面に膜沸騰を生じさせて、結果的にこの駆動信号に一体一で対応した液体（インク）内の気泡を形成出来るので有効である。この気泡の成長、収縮により吐出用開口を介して液体（インク）を吐出させて、少なくとも一つの滴を形成する。この駆動信号をパルス形状とすると、即時適切に気泡の成長収縮が行われるので、特に応答性に優れた液体（インク）の吐出が達成でき、より好ましい。このパルス形状の駆動信号としては、米国特許第4463359号明細書、同第4345262号明細書に記載されているようなものが適している。なお、上記熱作用面の温度上昇率に関する発明の米国特許第4313124号明細書に記載されている条件を採用すると、更に優れた記録を行うことが出来る。

【0117】記録ヘッドの構成としては、上述の各明細書に開示されているような吐出口、液路、電気熱変換体の組合わせ構成（直線状液流路又は直角液流路）の他に熱作用部が屈曲する領域に配置されている構成を開示する米国特許第4558333号明細書、米国特許第459600号明細書を用いた構成も本発明に含まれるものである。加えて、複数の電気熱変換体に対して、共通するスリットを電気熱変換体の吐出部とする構成を開示する特開昭59-123670号公報や熱エネルギーの圧力波を吸収する開口を吐出部に対応させる構成を開示する特開昭59-138461号公報に基いた構成としても本発明の効果は有効である。すなわち、記録ヘッドの形態がどのようなものであっても、本発明によれば記録を確実に効率よく行うことができるようになるからである。

【0118】上例のようなシリアルタイプのものでも、装置本体に固定された記録ヘッド、あるいは装置本体に装着されることで装置本体との電気的な接続や装置本体からのインクの供給が可能になる交換自在のチップタイプの記録ヘッド、あるいは記録ヘッド自体に一体的にインクタンクが設けられたカートリッジタイプの記録ヘッドを用いた場合にも本発明は有効である。

【0119】また、本発明の記録装置の構成として、記録ヘッドの吐出回復手段、予備的な補助手段等を付加することは本発明の効果を一層安定できるので、好ましいものである。これらを具体的に挙げれば、記録ヘッドに対してのキャッピング手段、クリーニング手段、加圧或は吸引手段、電気熱変換体或はこれとは別の加熱素子或はこれらの組み合わせを用いて加熱を行う予備加熱手段、記録とは別の吐出を行なう予備吐出手段を挙げることができる。

【0120】また、搭載される記録ヘッドの種類ないし個数についても、記録色や濃度を異にする複数のインクに対応して2個以上の個数設けられるものであってもよい。すなわち、例えば記録装置の記録モードとしては黒色等の主流色のみの記録モードだけではなく、記録ヘッドを一体的に構成するか複数の組み合わせによるかいずれでもよいが、異なる色の複色カラー、または混色によるフルカラーの各記録モードの少なくとも一つを備えた装置にも本発明は極めて有効である。

【0121】さらに加えて、以上説明した本発明実施例においては、インクを液体として説明しているが、室温やそれ以下で固化するインクであって、室温で軟化もしくは液化するものを用いてもよく、あるいはインクジェット方式ではインク自体を30℃以上70℃以下の範囲内で温度調整を行ってインクの粘性を安定吐出範囲にあるように温度制御するものが一般的であるから、使用記録信号付加時にインクが液状をなすものを用いてもよい。加えて、熱エネルギーによる昇温を、インクの固形状態から液体状態への状態変化のエネルギーとして使用せしめることで積極的に防止するため、またはインクの蒸発を防止するため、放置状態で固化し加熱によって液化するインクを用いてもよい。いずれにしても熱エネルギーの記録信号に応じた付与によってインクが液化し、液状インクが吐出されるものや、記録媒体に到達する時点ではすでに固化し始めるもの等のような、熱エネルギーの付与によって初めて液化する性質のインクを使用する場合も本発明は適用可能である。このような場合のインクは、特開昭54-56847号公報あるいは特開昭60-71260号公報に記載されるような、多孔質シート凹部または貫通孔に液状又は固形物として保持された状態で、電気熱変換体に対して対向するような形態としてもよい。本発明においては、上述した各インクに対して最も有効なものは、上述した膜沸騰方式を実行するものである。

【0122】さらに加えて、本発明インクジェット記録装置の形態としては、コンピュータ等の情報処理機器の画像出力端末として用いられるものの他、リーダ等と組合せた複写装置、さらには送受信機能を有するファクシミリ装置の形態を採るもの等であってもよい。

【0123】

【発明の効果】以上説明したように本発明によれば、

プリントバッファのアドレスを常に縦方向に連続させることによって、編集バッファからプリントバッファあるいはプリントバッファから印字ヘッドへのデータ転送を容易にすると共に、プリントバッファの構成をヘッドのドット数とは無関係に設定することができ、プリントバッファの管理が容易になる。また、プリントバッファ中の任意の位置を印字領域とすることができ、印字位置の設定の自由度が高くなる。

【0124】また、ドット数が多く1度に2行以上の印字が可能なような印字ヘッドを使用する場合、ビットシフト機能により編集バッファからプリントバッファにデータ転送する際にデータをシフトすることにより、任意の改行ピッチを設定することが可能になると共に編集バッファの重ね合わせにも対応できる。

【図面の簡単な説明】

【図1】プリンタの主要な回路構成を示すブロック図である。

【図2】編集バッファの構成を示す図である。

【図3】編集バッファと印字領域の関係を示す図である。

【図4】ビットシフト回路の回路構成を示すブロック図である。

【図5】ビットシフト回路の最初のデータ変換を示す図である。

【図6】ビットシフト回路の2番目のデータ変換を示す図である。

【図7】編集バッファの縦一列分のデータのシフト方法を示す図である。

【図8】プリントバッファの構成を示す図である。

【図9】1バンドの印字終了後のプリントバッファの構成を示す図である。

【図10】印字データと印字方向の関係を示す図である。

【図11】印字ヘッドの駆動シーケンスを示すタイミングチャートである。

【図12】印字ヘッドのノズル配列と印字ドットの配列の関係を示す図である。

【図13】プリントバッファのデータ構造と読み出しアドレスを示す図である。

【図14】アドレス作成回路のブロック図である。

【図15】アドレス作成回路の動作を示すタイミングチャートである。

【図16】高精細モードでの印字ヘッドの駆動シーケンスを示すタイミングチャートである。

【図17】高精細モードでの印字ヘッドのノズル配列と印字ドットの配列の関係を示す図である。

【図18】高精細モードでのプリントバッファのデータ構造と読み出しアドレスを示す図である。

【図19】コントローラプログラムの動作を示すフローチャートである。

【図 20】エンジンプログラムの動作を示すフローチャートである。

【図 21】カラーヘッドの構造を示す図である。

【図 22】カラーヘッドの駆動シーケンスを示すタイミングチャートである。

【図 23】カラーヘッドのノズル配列と印字ドットの配列の関係を示す図である。

【図 24】プリントバッファのデータ構造と読み出しアドレスを示す図である。

【図 25】アドレス作成回路のブロック図である。

【図 26】アドレス作成回路の動作を示すタイミングチャートである。

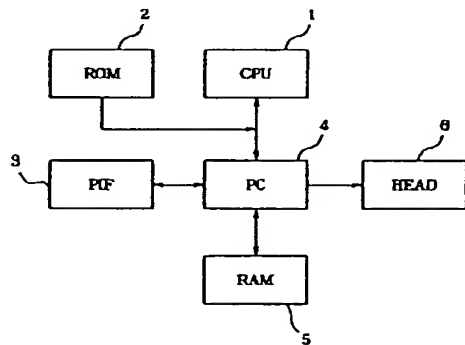
【図 27】プリンタコントロール IC の回路構成を示すブロック図である。

【図 28】ファインモードの動作を説明する図である。

【符号の説明】

- 1 CPU
- 2 ROM
- 3 インターフェース
- 4 プリンタコントロール IC
- 5 RAM
- 10 6 印字ヘッド
- 17 プリントバッファコントローラ

【図 1】 FIG. 1



【図 2】 FIG. 2

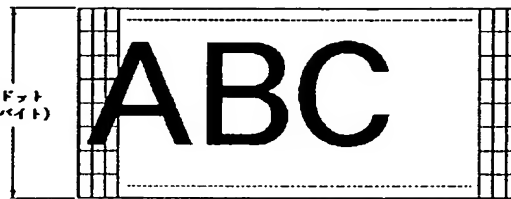
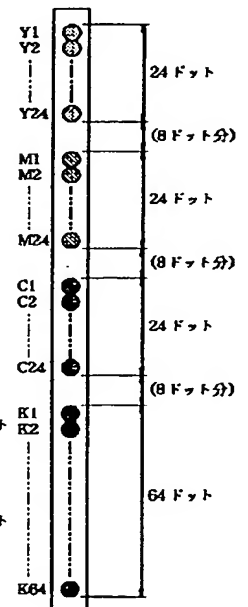
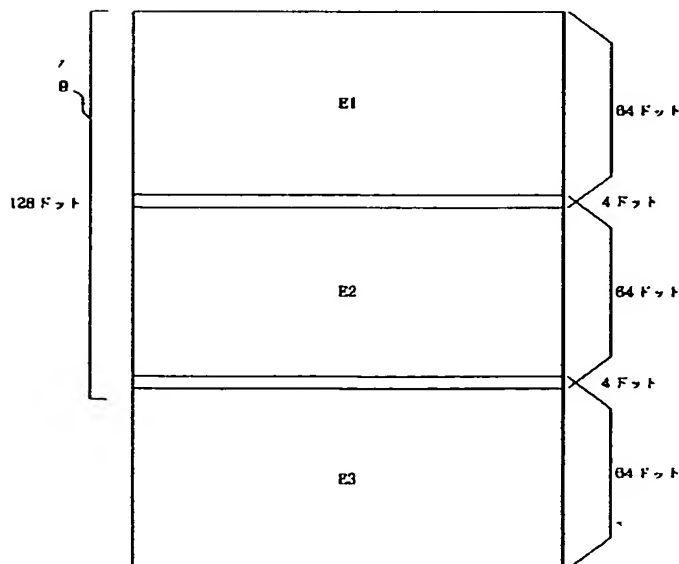


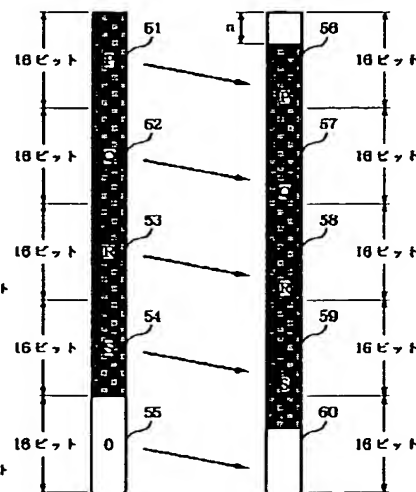
FIG. 21【図 21】



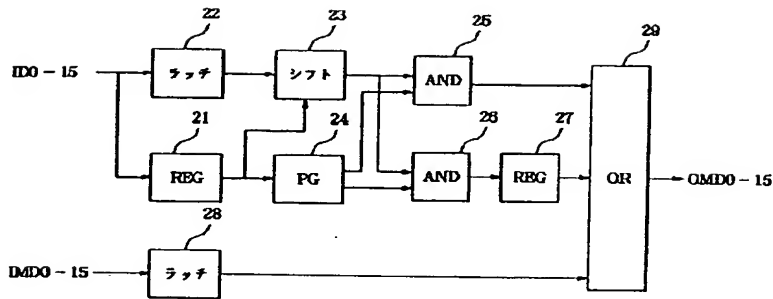
【図 3】 FIG. 3



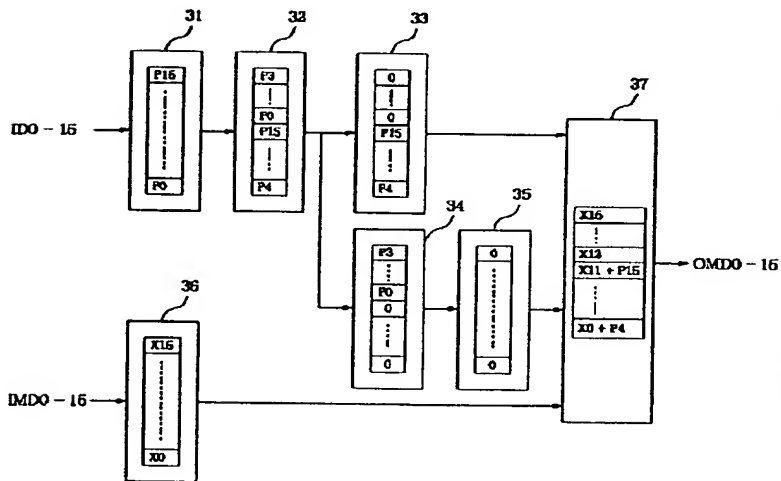
【図 7】 FIG. 7



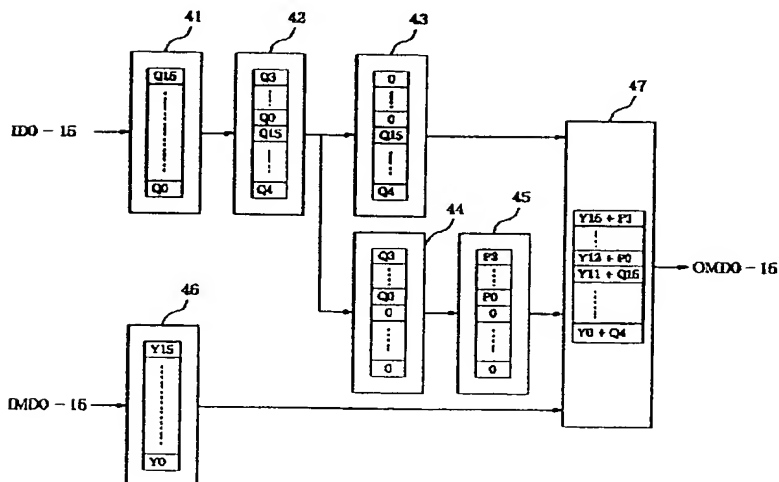
【図4】 FIG. 4



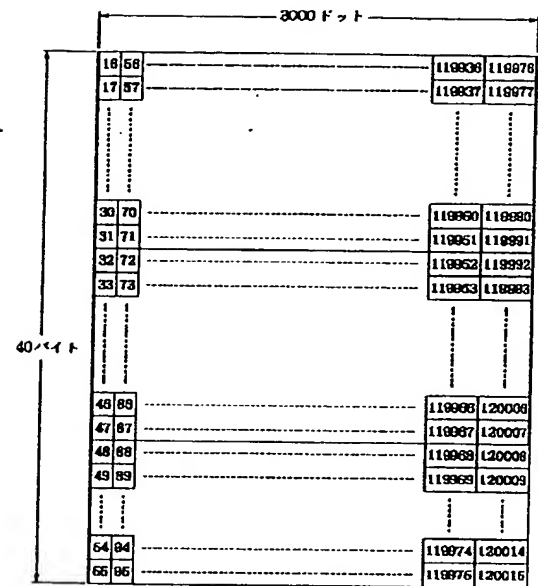
【図5】 FIG. 5



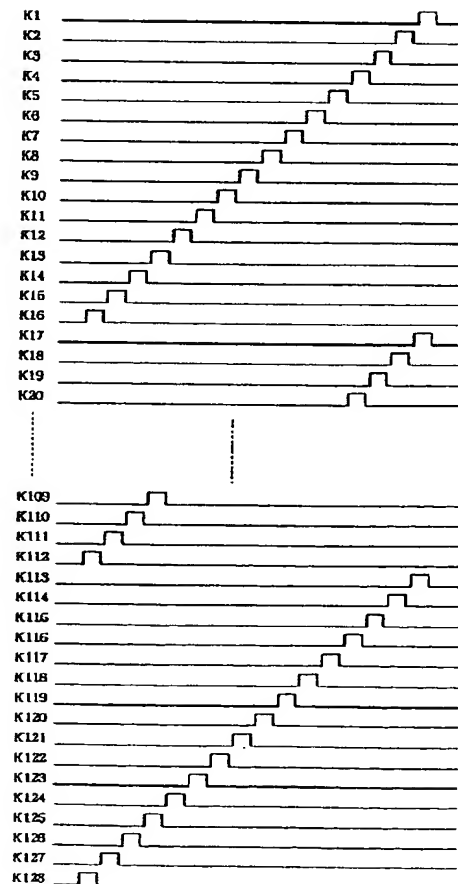
【図6】 FIG. 6



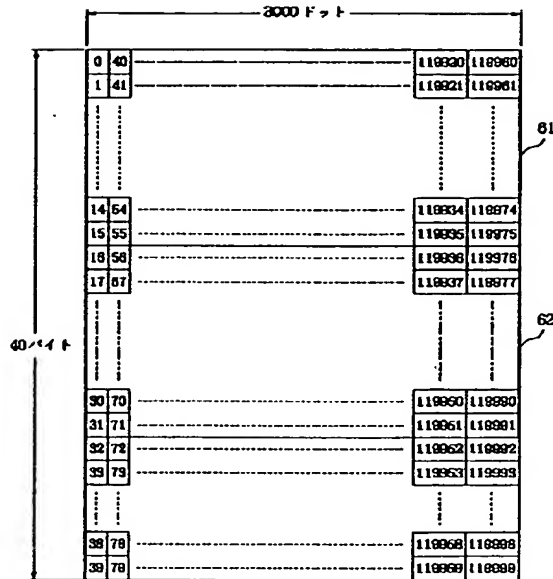
【図9】 FIG. 9



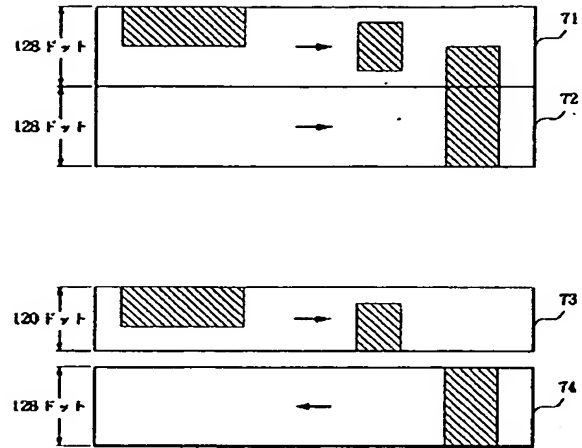
【図11】 FIG. 11



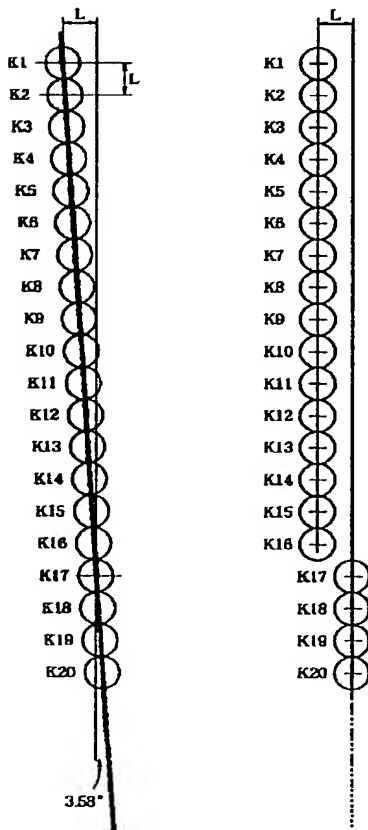
【図 8】 FIG. 8



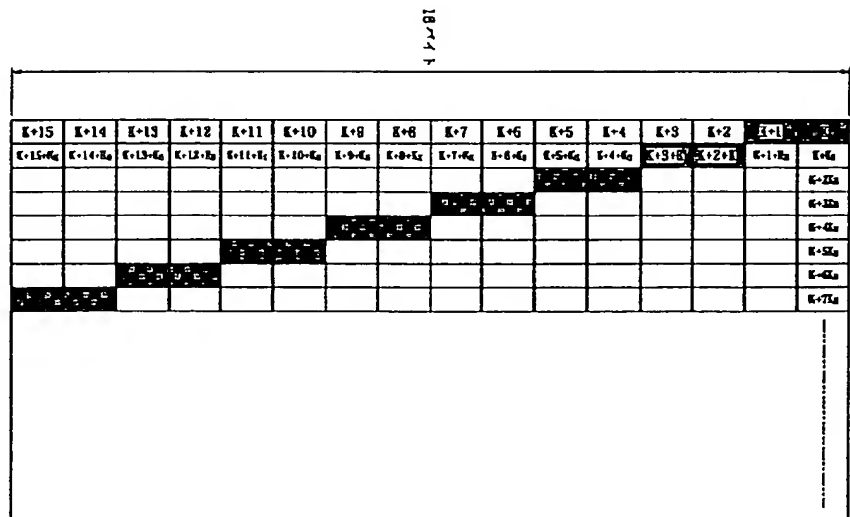
【図 10】 FIG. 10



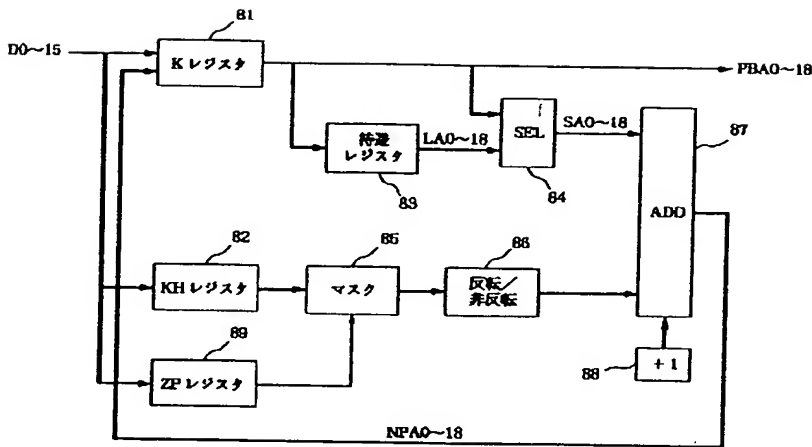
【図 12】 FIG. 12



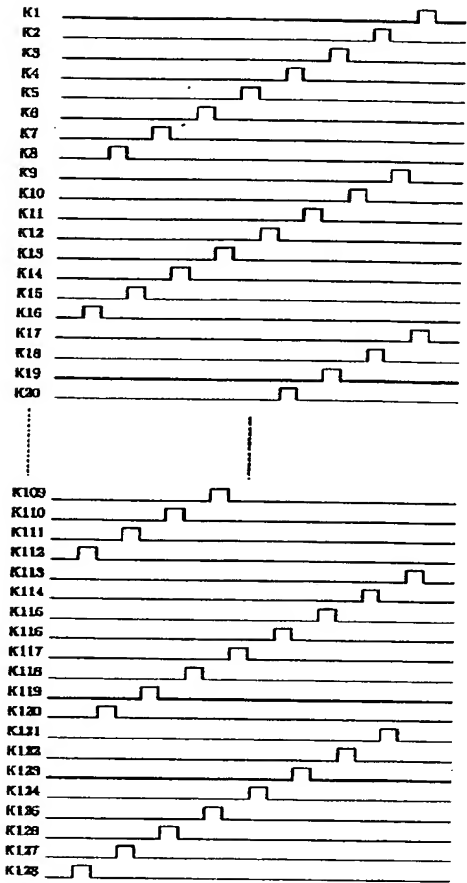
【図 13】 FIG. 13



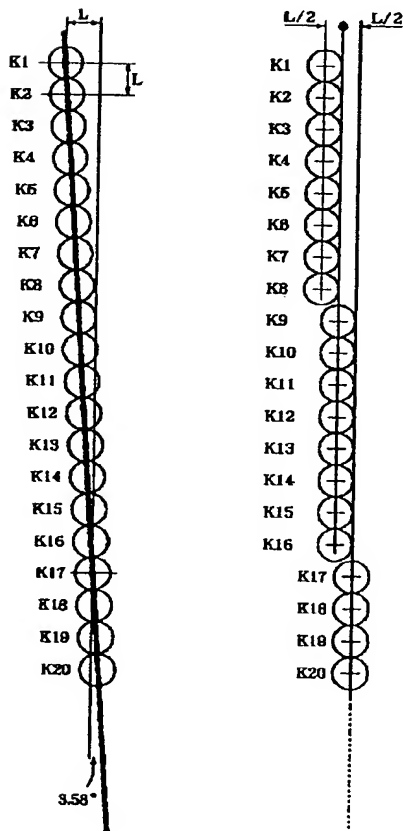
【図14】 FIG.14



【図16】 FIG.16



【図17】 FIG.17



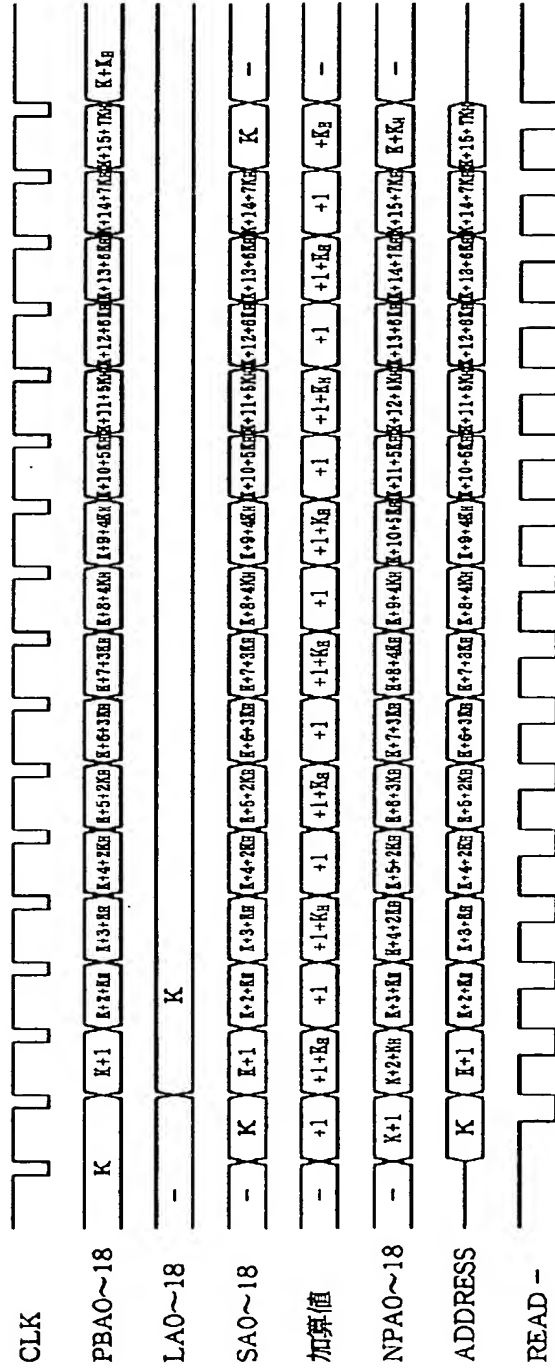
【図18】 FIG.18

10/10

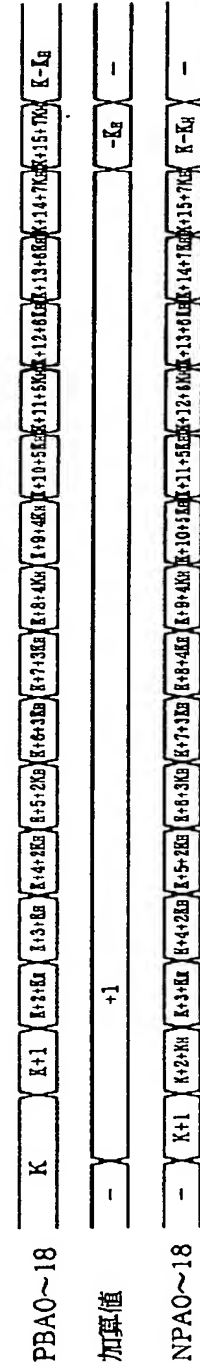
	K+15	K+14	K+13	K+12	K+11	K+10	K+9	K+8	K+7	K+6	K+5	K+4	K+3	K+2	K+1	1/2
K+15	K+15+K ₀	K+14+K ₀	K+13+K ₀	K+12+K ₀	K+11+K ₀	K+10+K ₀	K+9+K ₀	K+8+K ₀	K+7+K ₀	K+6+K ₀	K+5+K ₀	K+4+K ₀	K+3+K ₀	K+2+K ₀	K+1+K ₀	K+K ₀
K+14		K+14+K ₁	K+13+K ₁	K+12+K ₁	K+11+K ₁	K+10+K ₁	K+9+K ₁	K+8+K ₁	K+7+K ₁	K+6+K ₁	K+5+K ₁	K+4+K ₁	K+3+K ₁	K+2+K ₁	K+1+K ₁	K+K ₁
K+13			K+13+K ₂	K+12+K ₂	K+11+K ₂	K+10+K ₂	K+9+K ₂	K+8+K ₂	K+7+K ₂	K+6+K ₂	K+5+K ₂	K+4+K ₂	K+3+K ₂	K+2+K ₂	K+1+K ₂	K+K ₂
K+12				K+12+K ₃	K+11+K ₃	K+10+K ₃	K+9+K ₃	K+8+K ₃	K+7+K ₃	K+6+K ₃	K+5+K ₃	K+4+K ₃	K+3+K ₃	K+2+K ₃	K+1+K ₃	K+K ₃
K+11					K+11+K ₄	K+10+K ₄	K+9+K ₄	K+8+K ₄	K+7+K ₄	K+6+K ₄	K+5+K ₄	K+4+K ₄	K+3+K ₄	K+2+K ₄	K+1+K ₄	K+K ₄
K+10						K+10+K ₅	K+9+K ₅	K+8+K ₅	K+7+K ₅	K+6+K ₅	K+5+K ₅	K+4+K ₅	K+3+K ₅	K+2+K ₅	K+1+K ₅	K+K ₅
K+9							K+9+K ₆	K+8+K ₆	K+7+K ₆	K+6+K ₆	K+5+K ₆	K+4+K ₆	K+3+K ₆	K+2+K ₆	K+1+K ₆	K+K ₆
K+8								K+8+K ₇	K+7+K ₇	K+6+K ₇	K+5+K ₇	K+4+K ₇	K+3+K ₇	K+2+K ₇	K+1+K ₇	K+K ₇
K+7									K+7+K ₈	K+6+K ₈	K+5+K ₈	K+4+K ₈	K+3+K ₈	K+2+K ₈	K+1+K ₈	K+K ₈
K+6										K+6+K ₉	K+5+K ₉	K+4+K ₉	K+3+K ₉	K+2+K ₉	K+1+K ₉	K+K ₉
K+5											K+5+K ₁₀	K+4+K ₁₀	K+3+K ₁₀	K+2+K ₁₀	K+1+K ₁₀	K+K ₁₀
K+4												K+4+K ₁₁	K+3+K ₁₁	K+2+K ₁₁	K+1+K ₁₁	K+K ₁₁
K+3													K+3+K ₁₂	K+2+K ₁₂	K+1+K ₁₂	K+K ₁₂
K+2														K+2+K ₁₃	K+1+K ₁₃	K+K ₁₃
K+1															K+1+K ₁₄	K+K ₁₄
1/2																K+K ₁₅

[図 15] FIG. 15

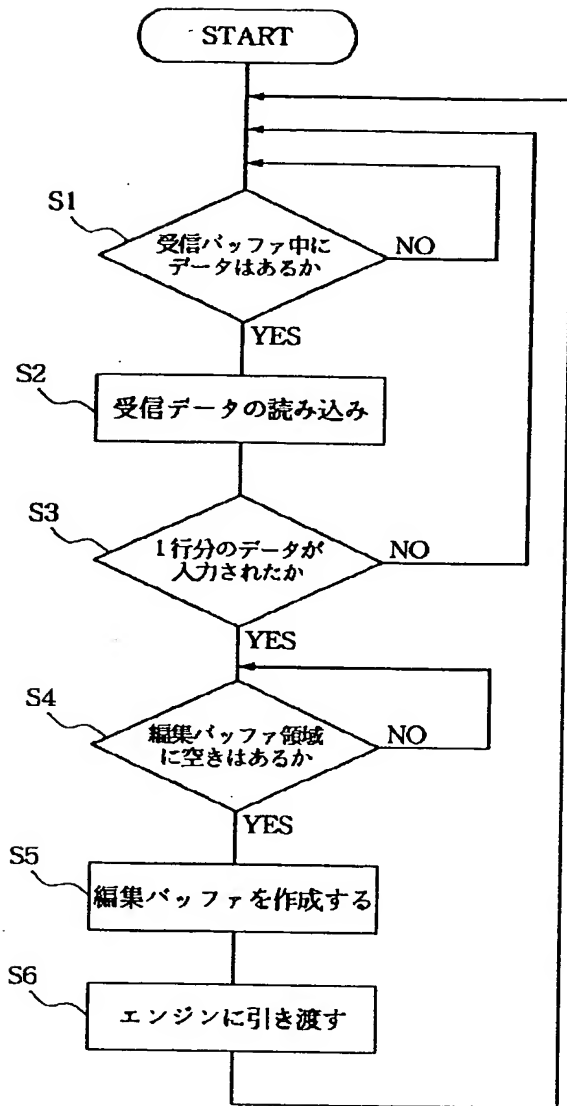
順方向印字時



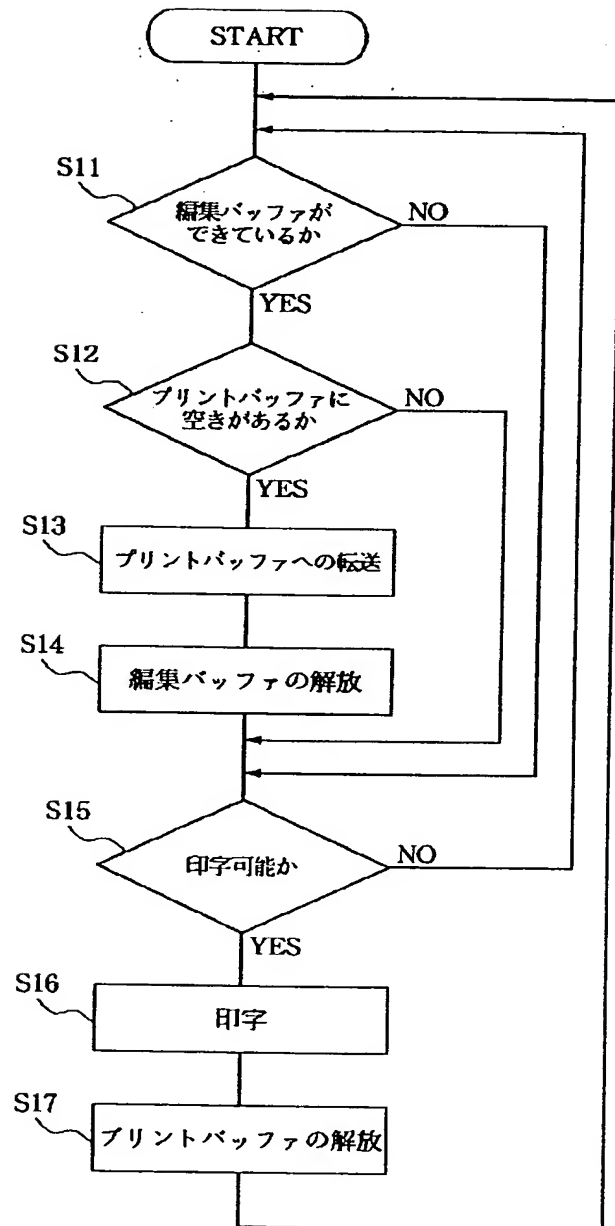
逆方向印字時



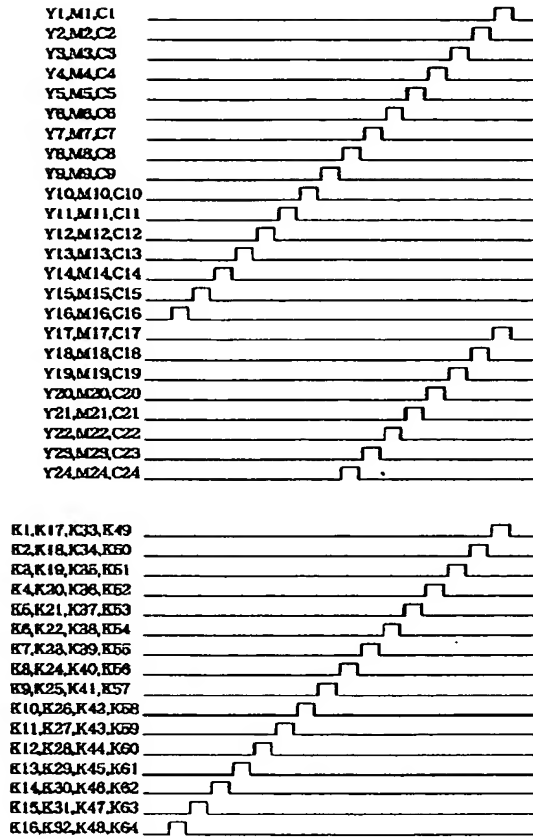
【図19】 FIG.19



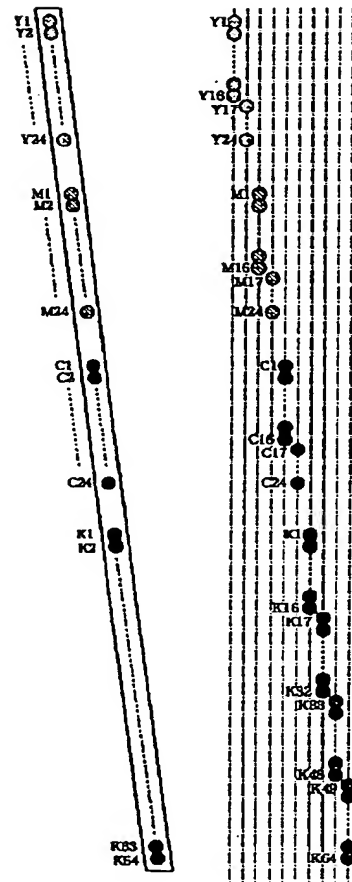
【図20】 FIG.20



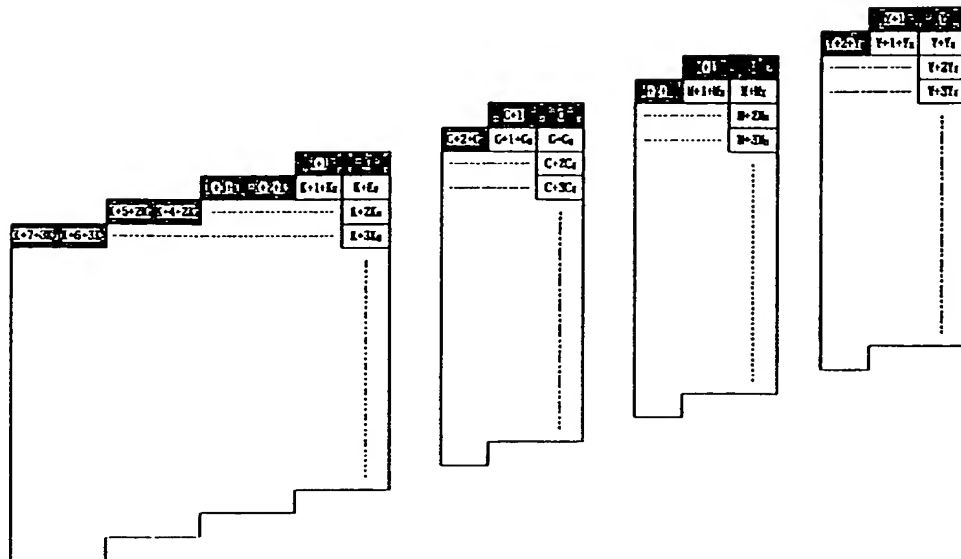
【図 22】 FIG. 22



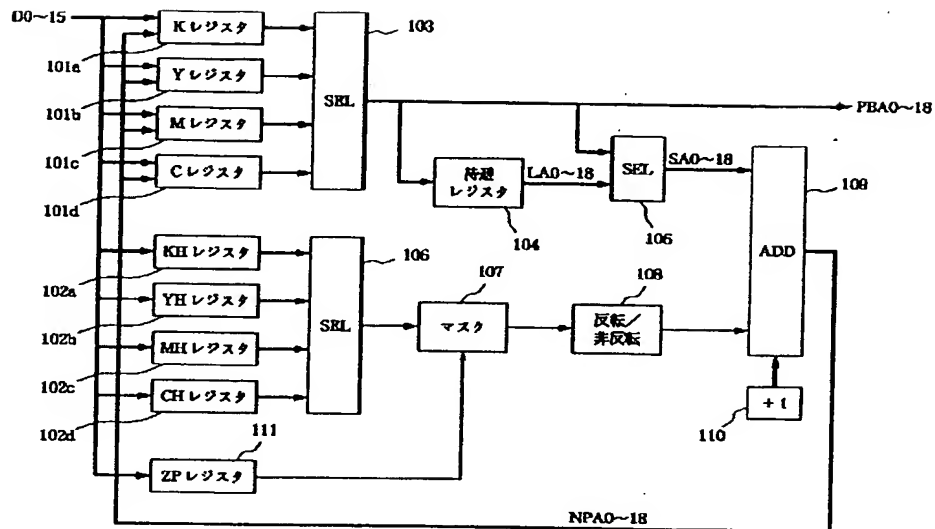
【図 23】 FIG. 23



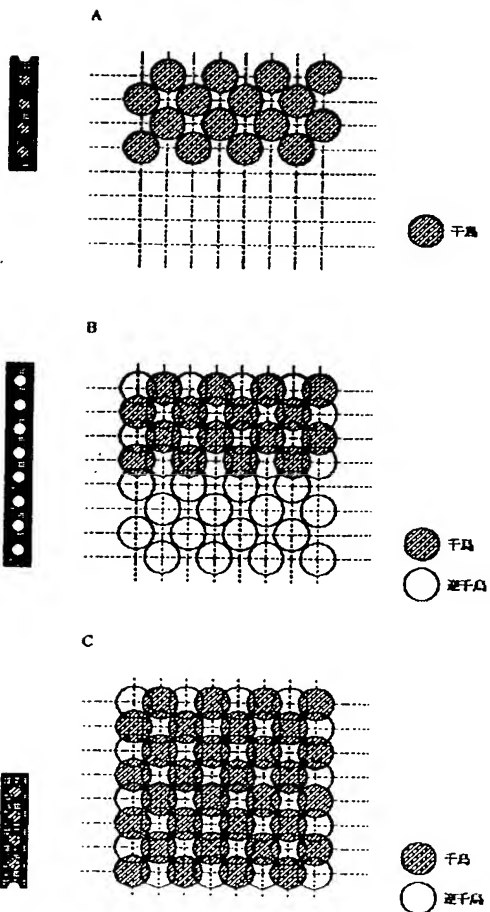
【図 24】 FIG. 24



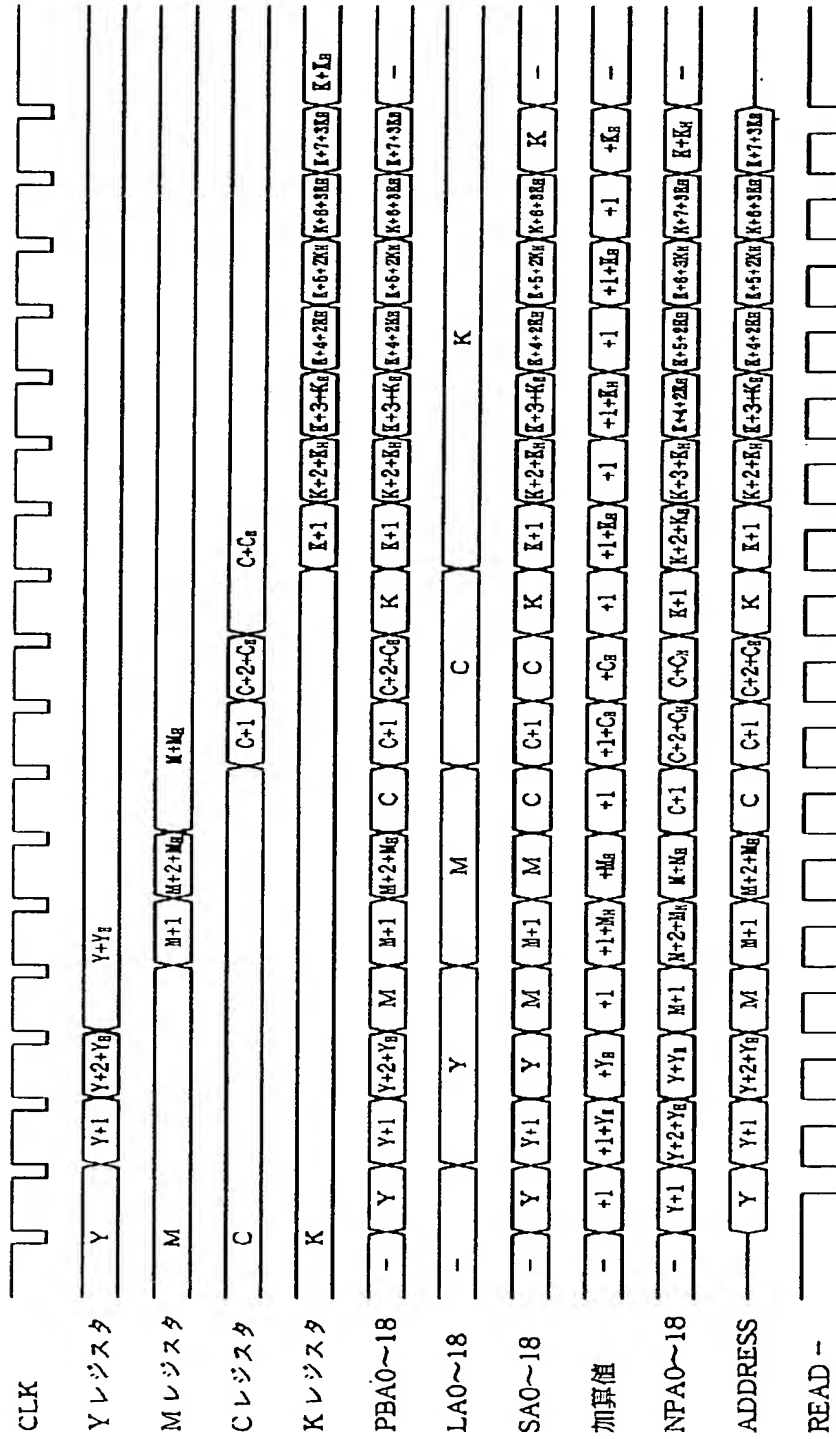
【図 25】 FIG.25



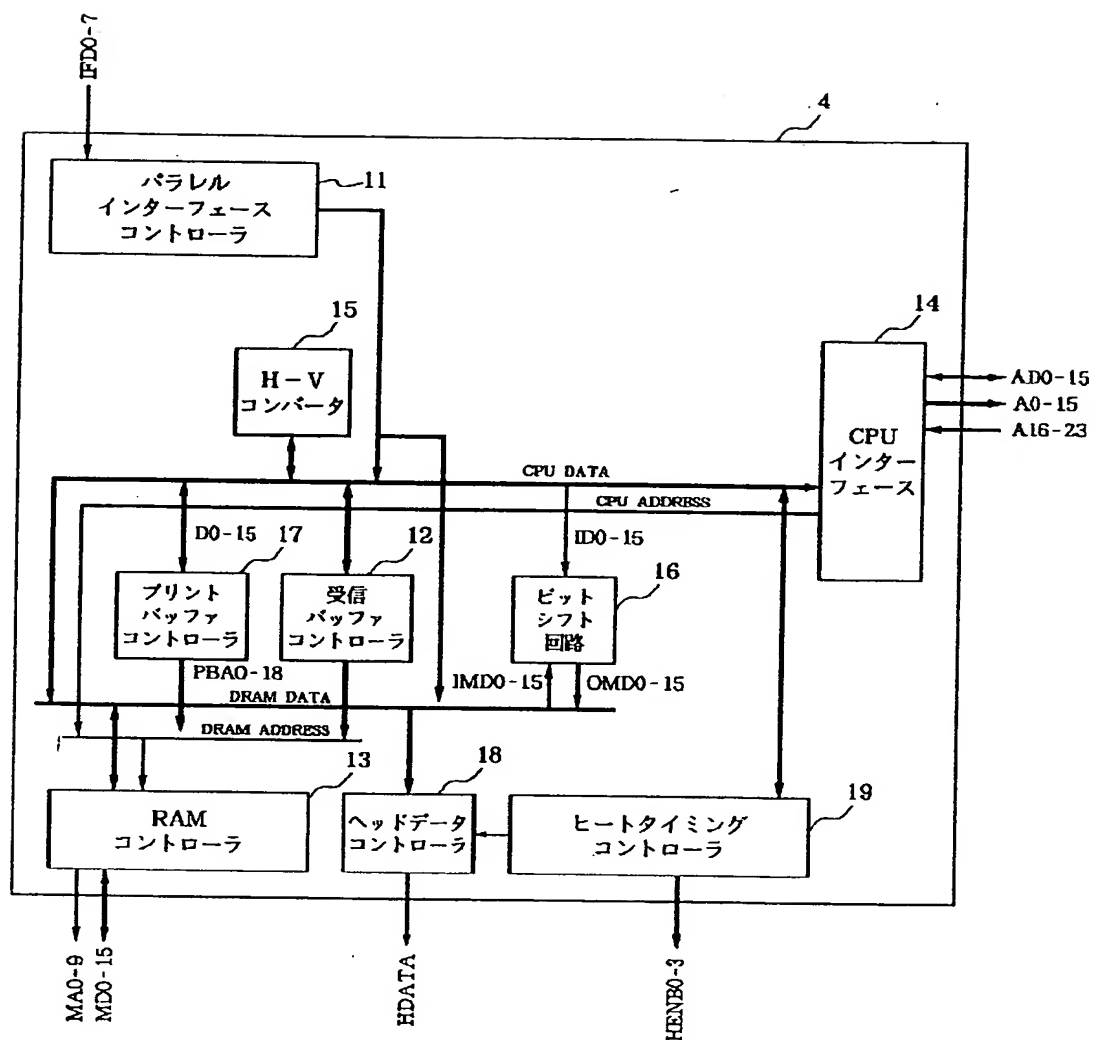
【図 28】 FIG.28



[図 26] FIG. 26



【図 27】 FIG. 27



フロントページの続き

(51) Int. Cl. °

H04N 1/21

識別記号

庁内整理番号

F I

技術表示箇所

B41J 3/04

101

A

103

B